

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi YAMADA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2003-209311	August 28, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

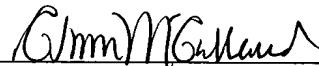
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月28日
Date of Application:

出願番号 特願2003-209311
Application Number:

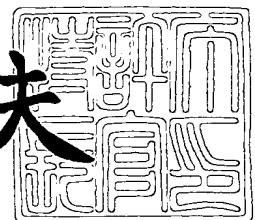
[ST. 10/C] : [JP2003-209311]

出願人 株式会社東芝
Applicant(s):

2003年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 A000300143

【提出日】 平成15年 8月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 25

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 山田 敬

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 永野 元

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 浜本 豪司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第1乃至第4の領域を有する基板と、

前記第1の領域における前記基板上に設けられた第1の絶縁膜と、

前記第2の領域における前記基板上に設けられ、前記第1の絶縁膜の上面よりも高い上面を有する第1のエピタキシャル層と、

前記第1のエピタキシャル層と隙間を有して前記第1の絶縁膜上に設けられ、前記第1のエピタキシャル層の前記上面とほぼ等しい高さの上面を有する第1の半導体層と、

前記隙間に設けられ、前記第1のエピタキシャル層の前記上面及び前記第1の半導体層の前記上面とほぼ等しい高さの上面を有する素子分離絶縁膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記第1の絶縁膜と前記素子分離絶縁膜とは同質の材料からなることを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記第3の領域における前記基板上に設けられた第2の絶縁膜と、

前記第2の絶縁膜上に設けられた第2の半導体層と、

前記第4の領域における前記基板上に設けられ、前記第2の半導体層の上面とほぼ等しい高さの上面を有し、前記第2の絶縁膜及び前記第2の半導体層に接する第2のエピタキシャル層と

をさらに具備することを特徴とする請求項1に記載の半導体装置。

【請求項 4】 第1及び第2の領域を有する基板と、

前記第1の領域における前記基板上に設けられた第1の絶縁膜と、

前記第2の領域における前記基板上に前記第1の絶縁膜と第1の隙間を有して設けられ、前記第1の絶縁膜の上面よりも高い上面を有するエピタキシャル層と

前記第1の絶縁膜上に設けられた第1の部分と前記第1の絶縁膜の前記エピタキシャル層側の側面よりも突出する第2の部分とを有し、前記エピタキシャル層

と第2の隙間を有して設けられ、前記第1及び第2の部分の上面の高さと前記エピタキシャル層の前記上面の高さとがほぼ等しい半導体層と、

前記第1及び第2の隙間に設けられ、前記エピタキシャル層の前記上面及び前記第1及び第2の部分の前記上面とほぼ等しい高さの上面を有する素子分離絶縁膜と

を具備することを特徴とする半導体装置。

【請求項5】 第1及び第2の領域を有する基板と、

前記第1の領域における前記基板上に設けられた第1の絶縁膜と、

前記第2の領域における前記基板上に前記第1の絶縁膜と第1の隙間を有して設けられ、前記第1の絶縁膜の上面よりも高い上面を有するエピタキシャル層と

、
前記第1の絶縁膜上に前記第1の隙間よりも前記エピタキシャル層と離間する第2の隙間を有して設けられ、前記エピタキシャル層の前記上面の高さとほぼ等しい上面を有する半導体層と、

前記第1及び第2の隙間に設けられ、前記エピタキシャル層の前記上面及び前記半導体層の前記上面とほぼ等しい高さの上面を有する素子分離絶縁膜と
を具備することを特徴とする半導体装置。

【請求項6】 前記素子分離絶縁膜は、シリコン窒化膜で形成されていることを特徴とする請求項4又は5に記載の半導体装置。

【請求項7】 第1及び第2の領域を有する基板と、

前記第1の領域における前記基板上に設けられた第1の絶縁膜と、

前記第1の絶縁膜上に設けられた半導体層と、

前記半導体層上に設けられた第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に選択的に設けられ、第1の電極層と第2の電極層とを有する第1のゲート電極と、

前記第2の領域における前記基板上に設けられた第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に選択的に設けられ、第3の電極層と第4の電極層とを有し、前記第1のゲート電極の上面とほぼ等しい高さを有する第2のゲート電極と、

前記第1及び第2の領域の境界部分に設けられた素子分離絶縁膜と
を具備することを特徴とする半導体装置。

【請求項8】 第1及び第2の領域を有する基板と、

前記第1及び第2の領域の境界部分に設けられ、前記基板より一部が突出する
第1の素子分離絶縁膜と、

前記第2の領域内に設けられ、前記基板より一部が突出する第2の素子分離絶
縁膜と、

前記第1の領域における前記基板上に設けられた第1の絶縁膜と、

前記第1の絶縁膜上に設けられた半導体層と、

前記半導体層上に設けられた第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に選択的に設けられ、第1の電極層と第2の電極層
とを有する第1のゲート電極と、

前記第1及び第2の素子分離絶縁膜間の前記基板上に設けられた第2のゲート
絶縁膜と、

前記第2のゲート絶縁膜上に設けられ、第3の電極層とこの第3の電極層上に
設けられた第2の絶縁膜とこの第2の絶縁膜上に設けられた第4の電極層とを有
し、前記第1のゲート電極の上面とほぼ等しい高さを有する第2のゲート電極と
を具備し、

前記第3の電極層は凹形状の連続する第1乃至第3の部分を有し、前記第1の
部分は前記第2のゲート絶縁膜上に形成されており、前記第2の部分は前記第1
の素子分離絶縁膜の側面に沿って形成されており、前記第3の部分は前記第2の
素子分離絶縁膜の側面に沿って形成されており、

前記第2の絶縁膜は連続する第4乃至第8の部分を有し、前記第4の部分は前
記第1の部分上に形成されており、前記第5の部分は前記第2の部分上に形成さ
れており、前記第6の部分は前記第3の部分上に形成されており、前記第7の部
分は前記第2の部分及び前記第1の素子分離絶縁膜上に形成されており、前記第
8の部分は前記第3の部分及び前記第2の素子分離絶縁膜上に形成されている
ことを特徴とする半導体装置。

【請求項9】 第1乃至第3の領域を有する基板と、

前記第1の領域における前記基板上に設けられ、第1の材料膜で形成された第1の絶縁膜と、

前記第1の絶縁膜上に設けられ、第2の材料膜で形成された半導体層と、

前記半導体層上に設けられ、第3の材料膜で形成された第1のゲート絶縁膜と

前記第1のゲート絶縁膜上に選択的に設けられ、第4の材料膜で形成された第1のゲート電極と、

前記第2の領域における前記基板上に設けられ、前記第1の材料膜で形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に選択的に設けられ、前記第2の材料膜で形成された第1の電極層と前記第4の材料膜で形成された第2の電極層とを有し、前記第1のゲート電極の上面とほぼ等しい高さを有する第2のゲート電極と、

前記第1及び第2の領域の境界部分に設けられた第1の素子分離絶縁膜とを具備することを特徴とする半導体装置。

【請求項10】 前記第1の電極層は、単結晶シリコン層で形成されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記第3の領域における前記基板上に設けられ、前記第1の材料膜で形成された前記第3のゲート絶縁膜と、

前記第3のゲート絶縁膜上に設けられ、前記第2の材料膜で形成された第3の電極層と前記第3の材料膜で形成された第2の絶縁膜と前記第4の材料膜で形成された第4の電極層とを有し、前記第1及び第2のゲート電極の上面とほぼ等しい高さを有する第3のゲート電極と、

前記第2及び第3の領域の境界部分に設けられた第2の素子分離絶縁膜とをさらに具備することを特徴とする請求項9に記載の半導体装置。

【請求項12】 基板とこの基板上に設けられた第1の絶縁膜とこの第1の絶縁膜上に設けられた半導体層とからなり、第1乃至第4の領域を有するウエハを形成する工程と、

前記第1の領域の前記半導体層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜をマスクとして、前記第2の領域の前記半導体層及び前記第

1の絶縁膜を除去する工程と、

前記第1の領域において、前記半導体層の前記第2の領域側の側面を前記第1の絶縁膜の側面よりも後退させて隙間部を形成する工程と、

前記隙間部に第1の素子分離絶縁膜を形成する工程と、

前記第2の領域において、エピタキシャル成長により前記半導体層の上面とほぼ等しくなるまでエピタキシャル層を前記基板上に形成する工程と、

前記第2の絶縁膜を除去する工程と、

前記第1の領域の前記半導体層上に第1のゲート絶縁膜を介して第1のゲート電極を形成するとともに、前記第2の領域の前記エピタキシャル層上に第2のゲート絶縁膜を介して第2のゲート電極を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項13】 前記第2の領域の前記半導体層及び前記第1の絶縁膜を除去する際に前記第1の絶縁膜を薄く残存させ、この残存させた前記第1の絶縁膜は前記エピタキシャル成長前に除去することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記第1の素子分離絶縁膜は、前記第1の絶縁膜と同質の材料で形成することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 前記第2の絶縁膜は、シリコン酸化膜であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項16】 前記第2の絶縁膜を形成する際、前記第3の領域の前記半導体層上に第3の絶縁膜を形成し、

前記第2の領域の前記半導体層及び前記第1の絶縁膜を除去する際に、前記第3の絶縁膜をマスクとして、前記第4の領域の前記半導体層及び前記第1の絶縁膜を除去し、

前記隙間部を形成する前に、前記第3の領域の前記半導体層の前記第4の領域側の側面をマスクで覆い、

前記隙間部を形成した後に、前記マスクを除去する

ことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項17】 前記エピタキシャル成長の際、前記第1及び第2の領域の

境界部分の前記エピタキシャル層にファセットが生じた場合、前記ファセットを除去するように第2の素子分離絶縁膜を形成する工程をさらに具備することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項18】 基板とこの基板上に設けられた第1の絶縁膜とこの第1の絶縁膜上に設けられた半導体層とからなり、第1及び第2の領域を有するウエハを形成する工程と、

前記第1の領域の前記半導体層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜をマスクとして、前記第2の領域の前記半導体層及び前記第1の絶縁膜を除去する工程と、

前記第1の領域において、前記半導体層の前記第2の領域側の側面を前記第2の絶縁膜の側面よりも後退させて第1の隙間部を形成する工程と、

前記第1の領域において、前記第1の絶縁膜の前記第2の領域側の側面を前記第2の絶縁膜の側面よりも後退させて第2の隙間部を形成する工程と、

前記第1及び第2の隙間部に素子分離絶縁膜を形成する工程と、

前記第2の領域において、エピタキシャル成長により前記半導体層の上面とほぼ等しくなるまでエピタキシャル層を前記基板上に形成する工程と、

前記第2の絶縁膜を除去する工程と、

前記第1の領域の前記半導体層上に第1のゲート絶縁膜を介して第1のゲート電極を形成するとともに、前記第2の領域の前記エピタキシャル層上に第2のゲート絶縁膜を介して第2のゲート電極を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項19】 前記素子分離絶縁膜は、シリコン窒化膜で形成されていることを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】 前記第1の隙間部の幅は、前記第2の隙間部の幅より小さいことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項21】 前記第2の隙間部の幅は、前記第1の隙間部の幅より小さいことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項22】 基板とこの基板上に設けられた第1の絶縁膜とこの第1の絶縁膜上に設けられた半導体層とからなり、第1及び第2の領域を有するウエハ

を形成する工程と、

前記第1及び第2の領域の境界部分に、前記半導体層の上面よりも一部が突出するように素子分離絶縁膜を形成する工程と、

前記第2の領域の前記第1の絶縁膜及び前記半導体層を除去する工程と、

前記第1の領域の前記半導体層上に第1のゲート絶縁膜を形成するとともに、前記第2の領域の前記基板上に第2のゲート絶縁膜を形成する工程と、

前記素子分離絶縁膜、前記第1及び第2のゲート絶縁膜上に第1の電極材を形成し、この第1の電極材を前記素子分離絶縁膜の上面が露出するまで平坦化する工程と、

前記第1の電極材及び前記素子分離絶縁膜上に第2の電極材を形成する工程と

前記第1及び第2の電極材を一括加工することによって、前記第1の領域においては、前記第1の電極材からなる第1の電極層と前記第2の電極材からなる第2の電極層とを有する第1のゲート電極を形成するとともに、前記第2の領域においては、前記第1の電極材からなる第3の電極層と前記第2の電極材からなる第4の電極層とを有し、前記第1のゲート電極の上面とほぼ等しい高さを有する第2のゲート電極を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項23】 前記第2の領域において、前記第1及び第2の電極材間に第2の絶縁膜を形成する工程をさらに具備することを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 第1乃至第3の領域を有する基板を形成する工程と、前記基板上に第1の材料膜を形成する工程と、前記第1の材料膜上に第2の材料膜を形成する工程と、前記第1及び第2の領域の境界部分に素子分離絶縁膜を形成し、前記第2の領域の前記第1の材料膜からなる第2のゲート絶縁膜を形成する工程と、前記第1の領域の前記第2の材料膜上に第3の材料膜からなる第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜、前記第2の領域における前記第2の材料膜及び前記

素子分離絶縁膜上に第4の材料膜を形成する工程と、

前記第1の領域における前記第4の材料膜、前記第2の領域における前記第2及び第4の材料膜を一括加工し、前記第1の領域においては、前記第4の材料膜からなる第1のゲート電極を形成し、前記第2の領域においては、前記第2の材料膜からなる第1の電極層と前記第4の材料膜からなる第2の電極層とを有し、前記第1のゲート電極の上面とほぼ等しい高さを有する第2のゲート電極を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項25】 前記第3の領域において、

前記基板上に前記第1の材料膜からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に、前記第2の材料膜からなる第3の電極層と前記第3の材料膜からなる第2の絶縁膜と前記第4の材料膜からなる第4の電極層とを有する第3のゲート電極を形成する

ことを特徴とする請求項24に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、S O I (Silicon On Insulator) 領域とバルク領域とを有するハイブリッドウェハを用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、従来のシリコンウェハの代わりに薄膜S O I (Silicon On Insulator) ウェハを用い、このS O I ウェハ上に素子を形成することで、寄生容量を低減し、ロジック回路の低消費電力化や高速化を図る試みが盛んに検討されており、さらに、S O I ウェハを用いたマイクロプロセッサの製品化も始まっている。今後は、このようなS O I ロジックを核にしたシステムL S I チップの必要性が高まるものと予想される。

【0003】

しかしながら、S O I ウェハ上のM O S F E Tはチャネルが形成されるボディ

領域の電位がフローティング状態となるため、いわゆる基板浮遊効果により、回路動作に伴うリーク電流の発生やしきい値の変動が生ずる。このため、S O I ウエハは、D R A Mのセルトランジスタ、センスアンプ回路やアナログ回路のペアトランジスタなどのように、リーク電流レベルあるいはマッチング特性に対するスペックが厳しい回路へ適用するには不向きであった。

【0004】

この問題を解決するために、S O I ウエハ上にバルク領域を形成したハイブリッドウエハを用意し、D R A MのようなS O I ウエハには向かない回路はバルク領域へ形成する提案がある。具体的には、例えば次のような方法がある。

【0005】

第1に、マスクパターンを用いたS I M O X (Separation by IMplantation o f Oxygen) 法により、バルクウエハ上に選択的にS O I 領域を形成する方法がある（特許文献1、非特許文献1参照）。

【0006】

第2に、絶縁膜をパターニングしたバルクウエハ上に別のウエハを張り合わせる方法がある（特許文献2参照）。

【0007】

第3に、S O I ウエハ上のS O I 層と埋め込み絶縁膜とを部分的にエッティング除去する方法がある（特許文献3、特許文献4、特許文献5参照）。

【0008】

第4に、上記第3の方法において、S O I 領域とバルク領域との間に生じた段差を解消するために、バルク領域の支持基板上にシリコンなどを選択エピタキシャル成長し、あるいはさらに研磨によって平坦化する方法がある（特許文献6、非特許文献2参照）。

【0009】

このようなハイブリッドウエハを用いた種々の方法において、第4の方法は、S O I 領域の素子表面とバルク領域の素子表面との段差が無いことから、素子の生産性に優れている。さらに出来合いのS O I ウエハをもとに製造するため、S O I 層や埋め込み絶縁膜の膜厚構成、さらにはシリコン層やS i G e 層などS O

I層の材質などが変化しても柔軟に対応できる手法である。

【0010】

【特許文献1】

特開平10-303385号公報

【0011】

【特許文献2】

特開平8-316431号公報

【0012】

【特許文献3】

特開平7-106434号公報

【0013】

【特許文献4】

特開平11-238860号公報

【0014】

【特許文献5】

特開2000-91534号公報

【0015】

【特許文献6】

特開2000-243944号公報

【0016】

【非特許文献1】

Robert Hannon, et al., 2000 Symposium on VLSI Technology of Technical Papers, pp.66-67

【0017】

【非特許文献2】

T. Yamada, et al., 2002 Symposium on VLSI Technology of Technical Papers, pp.112-113

【0018】

【発明が解決しようとする課題】

しかしながら、上記従来の第4の方法では次のような問題があった。この問題を説明するにあたり、具体的に第4の方法を以下に説明する。

【0019】

まず、図4-1に示すように、支持基板111と埋め込み絶縁膜112とSOI層113とを有するSOIウエハが用意される。

【0020】

次に、図4-2に示すように、SOI層113上に保護のための第1のマスク材（例えばSiN膜）114が堆積される。次に、バルク領域における第1のマスク材114、SOI層113、埋め込み絶縁膜112が順に、選択的にエッチング除去される。この際、支持基板111上に薄い埋め込み絶縁膜112'を残す。

【0021】

次に、図4-3に示すように、全面にSOI層113の側壁保護用の第2のマスク材（例えばSiN膜）116が堆積される。その後、異方性ドライエッチングにより、SOI層113の側面に第2のマスク材116からなるスペーサが形成される。この際、上記図4-2の工程と同様に、支持基板111上の薄い埋め込み絶縁膜112"を残すようにする。

【0022】

次に、図4-4に示すように、支持基板111へダメージを与えないように、HF溶液などを用いて埋め込み絶縁膜112、112"を除去する。尚、SOI層113の上部及び側面におけるマスク材114、116は、埋め込み絶縁膜112と異なる種類の絶縁膜であるため、埋め込み絶縁膜112、112"を除去してもマスク材114、115を残すことが可能となる。

【0023】

次に、図4-5に示すように、露出した支持基板111上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層117が形成される。このエピタキシャル成長では、エピタキシャル層117の上面がSOI層113の上面とほぼ一致するように、両者の高さ合わせを行う。尚、エピタキシャル層117のSOI領域側の上端部には、ファセット161が生じ

る。

【0024】

次に、図46に示すように、第1のマスク材114が除去される。このとき、SOI層113の側面に形成された第2のマスク材116は第1のマスク材114と同じ材料で形成されているため、第1のマスク材114とともに第2のマスク材116も除去され、SOI領域とバルク領域との境界部に窪み160が生じてしまう。

【0025】

次に、図47に示すように、ゲート絶縁膜120, 121、ゲート電極122, 123, 131、STI (Shallow Trench Isolation) 構造の素子分離領域118, 119, 130がそれぞれ形成される。

【0026】

上記のような従来の第4の方法では、SOI領域とバルク領域との境界部のファセット161や窪み160が生じてしまう。従って、これらファセット161や窪み160を無くすために、SOI領域とバルク領域との境界部における素子分離領域130のスペースが大きくなってしまっていた。

【0027】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、SOI領域とバルク領域との境界部における素子分離領域のスペースを縮小することが可能な半導体装置及びその製造方法を提供することにある。

【0028】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0029】

本発明の第1の視点による半導体装置は、第1乃至第4の領域を有する基板と、前記第1の領域における前記基板上に設けられた第1の絶縁膜と、前記第2の領域における前記基板上に設けられ、前記第1の絶縁膜の上面よりも高い上面を有する第1のエピタキシャル層と、前記第1のエピタキシャル層と隙間を有して前記第1の絶縁膜上に設けられ、前記第1のエピタキシャル層の前記上面とほぼ

等しい高さの上面を有する第1の半導体層と、前記隙間に設けられ、前記第1のエピタキシャル層の前記上面及び前記第1の半導体層の前記上面とほぼ等しい高さの上面を有する素子分離絶縁膜とを具備する。

【0030】

本発明の第2の視点による半導体装置の製造方法は、基板とこの基板上に設けられた第1の絶縁膜とこの第1の絶縁膜上に設けられた半導体層とからなり、第1乃至第4の領域を有するウエハを形成する工程と、前記第1の領域の前記半導体層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜をマスクとして、前記第2の領域の前記半導体層及び前記第1の絶縁膜を除去する工程と、前記第1の領域において、前記半導体層の前記第2の領域側の側面を前記第1の絶縁膜の側面よりも後退させて隙間部を形成する工程と、前記隙間部に第1の素子分離絶縁膜を形成する工程と、前記第2の領域において、エピタキシャル成長により前記半導体層の上面とほぼ等しくなるまでエピタキシャル層を前記基板上に形成する工程と、前記第2の絶縁膜を除去する工程と、前記第1の領域の前記半導体層上に第1のゲート絶縁膜を介して第1のゲート電極を形成するとともに、前記第2の領域の前記エピタキシャル層上に第2のゲート絶縁膜を介して第2のゲート電極を形成する工程とを具備する。

【0031】

【発明の実施の形態】

本発明の実施の形態は、SOI (Silicon On Insulator) 領域とバルク領域とを有するハイブリッドウエハを用いたものである。この本発明の実施の形態を以下に図面を参照して説明する。尚、この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0032】

1. 第1の実施形態

第1の実施形態は、SOI領域とバルク領域との境界において、SOI層の側面を埋め込み絶縁膜の側面よりも横方向（基板に水平方向）に後退させて隙間を形成した後、この隙間にエピタキシャル成長時のマスク材を形成し、このマスク材をそのまま残して素子分離領域として利用するものである。

【0033】

以下に、第1の実施形態に係る第1乃至第4の例を説明する。

【0034】

[1-1] 第1の例

第1の実施形態に係る第1の例は、第1の実施形態の基本構造であり、S O I層とエピタキシャル層との間に隙間を形成し、この隙間に設けたエピタキシャル成長時のマスク材を素子分離領域として利用するものである。

【0035】

図1は、本発明の第1の実施形態に係る第1の例の半導体装置の断面図を示す。図1に示すように、第1の実施形態に係る第1の例において、S O I領域では、支持基板11上に埋め込み絶縁膜12が設けられ、この埋め込み絶縁膜12上にS O I層13が設けられている。一方、バルク領域では、支持基板11上にエピタキシャル層17が設けられ、このエピタキシャル層17の上面はS O I層13の上面とほぼ等しくなっている。

【0036】

ここで、S O I層13のエピタキシャル層17側の側面は埋め込み絶縁膜12のエピタキシャル層17側の側面よりも後退しているため、S O I層13とエピタキシャル層17間に隙間部15が存在し、この隙間部15を埋めるように埋め込み絶縁膜12上に素子分離領域16aが設けられている。この素子分離絶縁膜16aの上面は、S O I層13の上面及びエピタキシャル層17の上面とほぼ等しくなっている。

【0037】

このように、S O I領域のS O I層13とバルク領域のエピタキシャル層17とは、素子分離領域16aにより電気的に分離されている。言い換えると、エピタキシャル層17は、埋め込み絶縁膜12と素子分離領域16aとは接しているが、S O I層13には接していない。

【0038】

尚、素子分離領域16aは、埋め込み絶縁膜12と同質の材料（例えばS i O₂膜）で形成することが望ましい。

【0039】

図2乃至図8は、本発明の第1の実施形態に係る第1の例の半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る第1の例の製造方法について説明する。

【0040】

まず、図2に示すように、支持基板11と埋め込み絶縁膜12とSOI層13とを有するSOIウエハが用意される。ここで、支持基板11として比抵抗が10Ω程度のp型シリコン基板を用い、埋め込み絶縁膜12として膜厚が150nm程度のSiO₂膜を用い、SOI層13として膜厚が50nm程度の単結晶シリコン膜を用いるが、これらに限定されない。

【0041】

次に、図3に示すように、SOI層13上に保護のための第1のマスク材14が堆積される。この第1のマスク材14は、例えばSiN膜でもよいし、埋め込み絶縁膜12や後述する第2のマスク材16と同質の材料膜（例えばSiO₂膜）でもよい。次に、フォトリソグラフィ及び異方性ドライエッティング（例えばRIE（Reactive Ion Etching））により、バルク領域における第1のマスク材14、SOI層13、埋め込み絶縁膜12が順次エッティング除去される。この際、異方性ドライエッティングのダメージを、バルク領域における支持基板11へ与えないようするために、支持基板11上に薄い埋め込み絶縁膜12'を残すとい。

【0042】

次に、図4に示すように、SOI層13の露出した側面が後退するように、SOI層13が等方性エッティング（例えばCDE（Chemical Dry Etching））で除去される。これにより、隙間部15が形成される。

【0043】

次に、図5に示すように、全面に、SOI層13の側壁保護用の第2のマスク材（例えばSiO₂膜）16が堆積される。ここで、第2のマスク材16の膜厚Yを、SOI層13の膜厚Zの1/2以上に設定することにより、埋め込み絶縁膜12の側面よりもSOI層13の側面が後退した長さに相当する隙間部15の

幅Xに依存することなしに、第2のマスク材16で隙間部15を容易に埋め込むことが可能となる。

【0044】

次に、図6に示すように、等方性エッティングにより、第2のマスク材16及び埋め込み絶縁膜12'がエッティング除去される。この等方性エッティングとしては、HF溶液やNH₄F溶液等を用いたウェットエッティングを用いることができる。このようにして、隙間部15に第2のマスク材16からなる素子分離領域16aが形成され、バルク領域における支持基板11の上面が露出される。尚、隙間部15に素子分離領域16aとなるマスク材16が残るように、この工程におけるエッティング量を考慮して、後退させる長さX及び第2のマスク材16の膜厚Yを設定するとよい。

【0045】

次に、図7に示すように、露出した支持基板11上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17が形成される。このエピタキシャル成長では、エピタキシャル層17の上面がSOI層13の上面とほぼ一致するように、両者の高さ合わせを行う。

【0046】

尚、このエピタキシャル成長において、全面成長を行って、エピタキシャル層17をCMP (Chemical Mechanical Polish) でマスク材14の高さまで平坦化する方法でもよい。しかし、この場合、マスク材14の厚さ分だけSOI層13とエピタキシャル層17との高さの差が生じること、ディッシングやスクラッチによりエピタキシャル層17の平坦性や結晶性が劣化することがあり、またコストの面でもあまり好ましくない。

【0047】

次に、図8に示すように、エピタキシャル成長後、第1のマスク材14が除去される。

【0048】

次に、図1に示すように、ゲート絶縁膜20, 21、ゲート電極22, 23、STI (Shallow Trench Isolation) 構造の素子分離領域18, 19がそれぞれ

形成される。

【0049】

上記第1の実施形態に係る第1の例によれば、次のような効果を得ることができる。

【0050】

(1) SOI層13の側面を埋め込み絶縁膜12の側面よりも後退させて、SOI層13とエピタキシャル層17間に隙間部15を設けることで、この隙間部15に形成されたSOI層13のマスク材16をそのまま素子分離領域16aとして使用することができる。このため、上記従来の第4の方法のようにマスク材116を除去する必要がないので、マスク材116を除去した時に生じる窪み160も発生しない。従って、窪み160を無くすための大きなスペースの素子分離領域を形成する必要がないため、SOI領域とバルク領域との境界部における素子分離領域16aのスペースを縮小することができる。さらに、境界部の素子分離領域16aの深さについても、SOI層13の膜厚相当まで浅くすることができる。

【0051】

(2) 上記従来の第4の方法では、窪み160が発生した後、この窪み160内に電極131の材料が埋め込まれ、そして、この窪み160を無くすように素子分離領域130が形成されていた。このため、この窪み160内に電極材が深く埋め込まれると、素子分離領域130の加工後にも窪み160内に電極材が残渣として残る場合があり、SOI領域とバルク領域における同一境界をゲート電極が複数横切り、互いにショート不良が生じる恐れがあった。

【0052】

これに対し、第1の実施形態に係る第1の例によれば、上述するように、従来のような窪み160は生じないため、上記のようなショート不良の問題を回避することができる。

【0053】

(3) 上記従来の第4の方法では、埋め込み絶縁膜112”を除去する工程（図44の工程）において、SOI層113の側面がエッチングされないように、

この側面に埋め込み絶縁膜112と異質の材料からなる第2のマスク材116を設けていた。従って、埋め込み絶縁膜112のみが除去されるようなエッチング条件を設定すると、第2のマスク材116はエッチングされないため、埋め込み絶縁膜112のみが大幅にエッチングされ、第2のマスク材116の側面よりも埋め込み絶縁膜112の側面が後退したオーバーハングが生じることがあった。そして、このオーバーハングの生じた状態でエピタキシャル層117を形成すると、オーバーハングした部分に空洞や結晶欠陥が生じてしまう。

【0054】

これに対し、第1の実施形態に係る第1の例によれば、素子分離領域16aは、埋め込み絶縁膜12と同質の材料（例えばSiO₂膜）で形成することができる。従って、埋め込み絶縁膜12'を除去する工程（図6の工程）において、SOI層13の側面がエッチングされることを防止しながらも、埋め込み絶縁膜12'とマスク材16を同時に除去できるため、従来のようなオーバーハングの問題も生じない。これにより、エピタキシャル層17に、オーバーハングによる空洞や結晶欠陥が生じる恐れもない。

【0055】

[1-2] 第2の例

第1の実施形態による第2の例は、SOI領域とバルク領域との間の領域において、SOI層とエピタキシャル層とを電気的に絶縁させる部分と導通させる部分とをそれぞれ設けたものである。

【0056】

図9は、本発明の第1の実施形態に係る第2の例において、SOI層とエピタキシャル層とを電気的に絶縁させる部分と導通させる部分の半導体装置の断面図を示す。

【0057】

図9において、紙面の左側の領域（以下、絶縁領域と称す）は、SOI層13-Aとエピタキシャル層17-Aとが電気的に絶縁された部分を示している。この絶縁領域については、上記第1の実施形態に係る第1の例と同様の構造であるため説明は省略する。

【0058】

一方、図9において、紙面の右側の領域（以下、導通領域と称す）は、SOI層13-Bとエピタキシャル層17-Bとが電気的に導通された部分を示している。つまり、SOI層13-Bとエピタキシャル層17-Bとが直接接している。その他の構造は、絶縁領域と同様の構造である。

【0059】

図10乃至図15は、本発明の第1の実施形態に係る第2の例の半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る第2の例の製造方法について説明する。ここでは、上記第1の例と同じ構造となる絶縁領域については説明を簡略化する。

【0060】

まず、図10に示すように、導通領域では、上記第1の例と同様に、薄い埋め込み絶縁膜12'-Bが残された後、レジスト25が形成され、SOI層13-Bの側面が覆われる。次に、絶縁領域では、隙間部15が形成される。この際、導通領域では、SOI層13-Bの側面がレジスト25で覆われているため隙間部15は形成されない。

【0061】

次に、図11に示すように、導通領域におけるレジスト25が除去される。

【0062】

次に、図12に示すように、全面に第2のマスク材（例えばSiO₂膜）16が堆積される。尚、絶縁領域では、隙間部15内に第2のマスク材16が形成される。

【0063】

次に、図13に示すように、HF溶液やNH₄F溶液等を用いたウェットエッチングにより、第2のマスク材16及び埋め込み絶縁膜12'-A, 12'-Bがエッティング除去される。これにより、バルク領域における支持基板11-A, 11-Bの上面が露出される。尚、絶縁領域では、隙間部15に第2のマスク材16からなる素子分離領域16aが形成される。

【0064】

次に、図14に示すように、露出した支持基板11-A, 11-B上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17-A, 17-Bが形成される。このエピタキシャル成長では、エピタキシャル層17-A, 17-Bの上面がSOI層13-A, 13-Bの上面とほぼ一致するように、両者の高さ合わせを行う。尚、導通領域では、SOI層13-Bとエピタキシャル層17-Bは直接接するが、絶縁領域では、素子分離領域16aが存在するため、SOI層13-Aとエピタキシャル層17-Aは直接接しない。

【0065】

次に、図15に示すように、第1のマスク材14-A, 14-Bが除去される。

【0066】

次に、図9に示すように、ゲート絶縁膜20-A, 20-B, 21-A, 21-B、ゲート電極22-A, 22-B, 23-A, 23-B、STI構造の素子分離領域18-A, 18-B, 19-A, 19-Bがそれぞれ形成される。

【0067】

上記第1の実施形態に係る第2の例によれば、絶縁領域では、第1の実施形態に係る第1の例と同様の効果を得ることができる。また、導通領域では、SOI層13-Bとエピタキシャル層17-Bとが直接接するため、両者を電気的に接続したい場合に有効である。

【0068】

[1-3] 第3の例

第1の実施形態による第3の例は、エピタキシャル成長によってファセットが生じた場合、第1の例におけるマスク材をそのまま素子分離領域として使用せずに、ファセットを除去するように素子分離領域を改めて形成するものである。

【0069】

図16は、本発明の第1の実施形態に係る第3の例の半導体装置の断面図を示す。図16に示すように、第1の実施形態に係る第3の例において、上記第1の例と異なる部分は、エピタキシャル層17のファセットを除去するために、マス

ク材ではない素子分離領域30を改めて形成しているところである。この素子分離領域30は、SOI層13内からエピタキシャル層17内にまで形成されている。また、この素子分離領域30は、埋め込み絶縁膜12を貫いて基板11内に至るまで形成してもよいが、SOI層13とエピタキシャル層17とが電気的に絶縁されればよいため、必ずしも基板11内に至るまで形成する必要はない。

【0070】

図17及び図18は、本発明の第1の実施形態に係る第3の例の半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る第3の例の製造方法について説明する。ここでは、上記第1の例と異なる構造となる領域についてのみ説明する。

【0071】

まず、図17に示すように、露出した支持基板11上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17が形成される。このエピタキシャル成長では、エピタキシャル層17の上面がSOI層13の上面とほぼ一致するように両者の高さ合わせを行うが、エピタキシャル層17のSOI領域側の上端部にファセット26が生じる場合がある。

【0072】

次に、図18に示すように、第1のマスク材14が除去される。

【0073】

次に、図16に示すように、ゲート絶縁膜20、21が形成された後、ファセットが無くなるようにSTI構造の素子分離領域30が形成され、これと同時にSOI領域及びバルク領域内の素子分離領域18、19も形成される。その後、ゲート電極22、23、31がそれぞれ形成される。

【0074】

上記第1の実施形態に係る第3の例によれば、SOI領域とバルク領域の境界にファセットが無くなるように素子分離領域30を形成するため、上記第1の例においてエピタキシャル成長後にファセットが生じた場合に有効である。

【0075】

尚、第3の例の素子分離領域30は、第1の例の素子分離領域16aよりもス

ペースが大きくなるが、従来のような深い窪み160を無くすために形成するわけではないため、従来よりも十分に素子分離領域のスペースの縮小を図れることは言うまでもない。

【0076】

[1-4] 第4の例

SOI領域とバルク領域の境界における素子分離領域は、第1の実施形態による第1の例では、SOI層とエピタキシャル層との間にのみ形成されていたが、第1の実施形態による第4の例では、SOI層とエピタキシャル層との間に加えて、埋め込み絶縁膜とエピタキシャル層との間にも形成されている。

【0077】

図19は、本発明の第1の実施形態に係る第4の例の半導体装置の断面図を示す。図19に示すように、第1の実施形態に係る第4の例では、上記第1の例と素子分離領域16aの形成されている位置が異なる。つまり、素子分離領域16aは、SOI層13とエピタキシャル層17との間に加えて、埋め込み絶縁膜12とエピタキシャル層17との間にも形成されている。

【0078】

ここで、埋め込み絶縁膜12のエピタキシャル層17側の側面はSOI層13のエピタキシャル層17側の側面よりも後退しており、SOI層13とエピタキシャル層17間の隙間部15の幅よりも埋め込み絶縁膜12とエピタキシャル層17間の隙間部35の幅の方が大きい。言い換えると、SOI層13のエピタキシャル層17側の側面は、埋め込み絶縁膜12のエピタキシャル層17側の側面よりも突出した構造になっている。

【0079】

尚、この第4の例のように、素子分離領域16aとエピタキシャル層17との接触面が大きい場合は、エピタキシャル成長時のファセットを抑制するために、素子分離領域16aをSiN膜で形成するのが好ましい。

【0080】

図20乃至図25は、本発明の第1の実施形態に係る第4の例の半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る第4の例の製造方法に

について説明する。ここでは、上記第1の例と異なる構造となる領域についてのみ説明する。

【0081】

まず、図20に示すように、支持基板11と埋め込み絶縁膜12とSOI層13とを有するSOIウエハ上に、保護のための第1のマスク材14が堆積される。この第1のマスク材14は、例えばSiN膜やSiO₂膜等で形成すればよいが、埋め込み絶縁膜12と異なる材質の膜で形成するのが好ましい。次に、異方性エッティング（例えばRIE）により、バルク領域における第1のマスク材14、SOI層13、埋め込み絶縁膜12が順次エッティング除去される。この際、異方性ドライエッティングのダメージを、バルク領域における支持基板11へ与えないようにするために、支持基板11上に薄い埋め込み絶縁膜12'を残すとよい。そして、SOI層13の側面を埋め込み絶縁膜12の側面よりも後退させ、隙間部15が形成される。

【0082】

次に、図21に示すように、等方性エッティングにより、埋め込み絶縁膜12の側面が第1のマスク材14の側面よりも後退するように、埋め込み絶縁膜12がエッティングされ、隙間部35が形成される。

【0083】

次に、図22に示すように、全面に、SOI層13の側壁保護用の第2のマスク材（例えばSiN膜）16が堆積される。

【0084】

次に、図23に示すように、等方性エッティングにより、第2のマスク材16及び埋め込み絶縁膜12'がエッティング除去される。このようにして、隙間部15、35に第2のマスク材16からなる素子分離領域16aが形成され、バルク領域における支持基板11の上面が露出される。

【0085】

次に、図24に示すように、露出した支持基板11上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17が形成される。このエピタキシャル成長では、エピタキシャル層17の上面がSO

I層13の上面とほぼ一致するように、両者の高さ合わせを行う。

【0086】

次に、図25に示すように、エピタキシャル成長後、第1のマスク材14が除去される。

【0087】

次に、図19に示すように、ゲート絶縁膜20、21、ゲート電極22、23、31、STI構造の素子分離領域18、19がそれぞれ形成される。

【0088】

上記第1の実施形態に係る第4の例によれば、上記第1の例と同様に、エピタキシャル成長時のSOI層13のマスク材16をそのまま素子分離領域16aとして使用することができるため、素子分離領域のスペースの縮小を図ることができる。

【0089】

尚、第4の例の素子分離領域16aは、第1の例の素子分離領域16aよりもスペースが大きくなるが、従来のような深い窪み160を無くすために形成するわけではないため、従来よりも十分に素子分離領域のスペース（特に素子分離領域の横幅）の縮小を図ることは言うまでもない。

【0090】

また、素子分離領域16aを、埋め込み絶縁膜12と異質材であるSiN膜で形成している。ここで、選択エピタキシャル成長において、エピタキシャル層17は、SiO₂膜と境界面を形成する場合よりもSiN膜と境界面を形成する場合の方が、ファセットを小さくできる（あるいはファセットを無くすことができる）ことが知られている。従って、SiN膜からなる素子分離領域16aを設けることで、素子分離領域16aとエピタキシャル層17との境界におけるファセットを抑制できる。

【0091】

尚、ここでは、埋め込み絶縁膜12の側面がSOI層13の側面より後退する場合を示したが、両者の側面を第1のマスク材14の側面よりも後退させて隙間部15、35を形成することが重要であるだけで、図19の構造に限定されるわ

けではない。例えば図26に示すように、SOI層13の側面が埋め込み絶縁膜12の側面より後退していても構わない。従って、隙間部15の幅が隙間部35の幅よりも小さくてもよいし(図19)、隙間部35の幅が隙間部15の幅よりも小さくてもよい(図26)。

【0092】

2. 第2の実施形態

第2の実施形態は、エピタキシャル成長を行わないことで、SOI領域とバルク領域の境界における素子分離領域のスペースの縮小を図る例である。

【0093】

以下に、第2の実施形態に係る第1及び第2の例を説明する。

【0094】

[2-1] 第1の例

第2の実施形態に係る第1の例は、SOI領域とバルク領域に2層構造のゲート電極をそれぞれ形成し、この両者のゲート電極の下面の高さは異なるが、両者のゲート電極の上面の高さをほぼ同じにするものである。

【0095】

図27は、本発明の第2の実施形態に係る第1の例の半導体装置の断面図を示す。図27に示すように、SOI領域では、SOI層13上にゲート絶縁膜20が設けられ、このゲート絶縁膜20上にゲート電極45が設けられている。このゲート電極45は、下部電極層43aと上部電極層44aとからなる2層構造になっている。

【0096】

バルク領域では、支持基板11上にゲート絶縁膜21が設けられ、このゲート絶縁膜21上にゲート電極46が設けられている。このゲート電極46は、下部電極層43bと上部電極層44bとからなる2層構造になっている。

【0097】

SOI領域におけるゲート電極45とバルク領域におけるゲート電極46とは、ゲート電極下の基板の高さは異なるが、ゲート電極の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極46の電極層43bが、SOI領

域とバルク領域のゲート電極下の基板の高さの差を埋めるように、S O I 領域のゲート電極4 5 の電極層4 3 a よりも厚くなっている。

【0098】

また、S O I 領域とバルク領域との境界部分には、S T I 構造の素子分離領域4 1 が形成されている。これにより、S O I 層1 3 とバルク領域の基板1 1 とが電気的に分離されている。さらに、S O I 領域及びバルク領域内には、それぞれ素子分離領域4 0, 4 2 が形成されている。ここで、素子分離領域4 1 は、埋め込み絶縁膜1 2 と異質材で形成することが望ましい。

【0099】

図2 8 乃至図3 2 は、本発明の第2 の実施形態に係る第1 の例の半導体装置の製造工程の断面図を示す。以下に、第2 の実施形態に係る第1 の例の製造方法について説明する。

【0100】

まず、図2 8 に示すように、支持基板1 1 と埋め込み絶縁膜1 2 とS O I 層1 3 とを有するS O I ウエハが用意される。次に、S O I 層1 3 の表面から支持基板1 1 にまで貫通する素子分離領域4 0, 4 1, 4 2 がそれぞれ形成される。ここで、素子分離領域4 0, 4 1, 4 2 の上部がS O I 層1 3 の上面よりも突出するようにし、凹部4 8 が形成されるようにする。

【0101】

次に、図2 9 に示すように、バルク領域においては、S O I 層1 3 及び埋め込み絶縁膜1 2 がそれぞれ除去される。これにより、S O I 領域では、凹部4 8 が形成された状態のままであり、バルク領域では、凹部4 8 よりも深い凹部4 9 が形成される。

【0102】

ここで、埋め込み絶縁膜1 2 を除去する際は、下地の支持基板1 1 へダメージを与えないように、少なくとも最終ステップにはウエットエッチングを用いるのが好ましい。

【0103】

また、この際、バルク領域の素子分離領域4 1, 4 2 にも同様にダメージを与

えないようにするために、素子分離領域用の溝内には、SiNライナー（薄膜SiN膜）を敷いたり、埋め込み絶縁膜12と異なる材料を埋め込んだりすることが望ましい。

【0104】

次に、図30に示すように、SOI層13上にゲート絶縁膜20が形成され、支持基板11上にゲート絶縁膜21が形成される。次に、ゲート絶縁膜20, 21及び素子分離領域40, 41, 42上に第1の電極材43が形成される。

【0105】

次に、図31に示すように、CMPにより、素子分離領域40, 41, 42の上面が露出するまで、第1の電極材43の上面が平坦化される。これにより、SOI領域におけるゲート電極の下部電極層43aが凹部48内に形成されるとともに、バルク領域におけるゲート電極の下部電極層43bが凹部49内に形成される。その結果、SOI領域における下部電極層43aの上面とバルク領域における下部電極層43bの上面とを等しい高さにでき、SOI領域とバルク領域間の段差が解消される。

【0106】

次に、図32に示すように、下部電極層43a, 43b及び素子分離領域40, 41, 42上に第2の電極材44が形成される。

【0107】

次に、図27に示すように、下部電極層43a, 43b及び第2の電極材44が一括加工される。これにより、SOI領域においては、下部電極層43aと上部電極層44aとからなるゲート電極45が形成され、バルク領域においては、下部電極層43bと上部電極層44bとからなるゲート電極46が形成される。

【0108】

上記第2の実施形態に係る第1の例によれば、次のような効果を得ることができる。

【0109】

(1) 第2の実施形態に係る第1の例では、バルク領域で選択エピタキシャル成長を行わないため、エピタキシャル成長時のマスク材をSOI層13の側面に

設ける必要がない。従って、マスク材を除去することによる窪み160も生じないため、窪み160を無くすための大きな素子分離領域を形成する必要がない。従って、S O I領域とバルク領域との境界部における素子分離領域41のスペースを縮小することができる。

【0110】

(2) 従来技術では、エピタキシャル成長時に、選択成長の膜厚のばらつきによりS O I層13とエピタキシャル層17との間の段差が生じる恐れがあり、この段差が残った状態でゲート電極を形成すると、S O I領域とバルク領域で同じ高さのゲート電極を形成することができない。

【0111】

これに対し、第2の実施形態に係る第1の例では、バルク領域で選択エピタキシャル成長を行わないため、S O I領域とバルク領域間に段差が生じるが、ゲート電極の下部電極層43a, 43bでこの段差を解消することができる。このため、S O I領域とバルク領域で同じ高さのゲート電極45, 46を形成することができる。

【0112】

[2-2] 第2の例

第2の実施形態に係る第2の例は、上記第2の例を変形したものであり、バルク領域にEEPROMを形成した例である。

【0113】

図33は、本発明の第2の実施形態に係る第2の例の半導体装置の断面図を示す。ここでは、上記第1の例と異なる構造を中心に説明する。

【0114】

図33に示すように、第2の実施形態に係る第2の例では、バルク領域において、上部電極層44bと下部電極層43bとの間に例えばONO (Oxide Nitride Oxide) 膜などの絶縁膜47を設けている。つまり、バルク領域では、下部電極層43bをフローティングゲートとし、上部電極層44bをコントロールゲートとしたEEPROMセルを形成している。

【0115】

また、第2の例では、S O I領域とバルク領域間の段差を解消する構造が第1の例とは異なる。すなわち、下部電極層43bは下部電極層43aとほぼ等しい厚さで形成し、上部電極層44b及び絶縁膜47でS O I領域とバルク領域間の段差を解消している。

【0116】

また、バルク領域において、下部電極層43bは、凹部49の側面（素子分離領域41, 42の側面）に沿って形成された側面部分と、凹部49の底面（ゲート絶縁膜21上）に沿って形成された底面部分とを有している。そして、絶縁膜47は、下部電極層43bの側面部分に沿って形成された側面部分と、下部電極層43bの底面部分に沿って形成された底面部分と、素子分離領域41, 42及び下部電極層43bの上面に沿って形成された上面部分とを有する。すなわち、バルク領域における下部電極層43b及び絶縁膜47は、凹部49の形状に沿った凹型構造になっている。さらに、上部電極層44bは下部電極層43b及び絶縁膜47からなる凹型構造の窪みを埋めるように形成されるため、上部電極層44bの中央部が端部よりも厚くなっている。

【0117】

上記第2の実施形態に係る第2の例によれば、第2の実施形態に係る第1の例と同様の効果を得ることができる。

【0118】

さらに、第2の例では、S O I領域とバルク領域間の段差を利用して、バルク領域における下部電極層43b及び絶縁膜47を凹形状にしている。これにより、上部電極層44b及び下部電極層43b間のカップリング比を確保することが可能となり、セルの安定動作に寄与するというメリットもある。

【0119】

3. 第3の実施形態

第3の実施形態は、S O I領域における埋め込み絶縁膜及びS O I層を、バルク領域ではゲート絶縁膜及びゲート電極として使用する例である。

【0120】

以下に、第3の実施形態に係る第1及び第2の例を説明する。

【0121】

[3-1] 第1の例

第3の実施形態に係る第1の例は、SOI領域における埋め込み絶縁膜及びSOI層を、バルク領域ではゲート絶縁膜及びゲート電極として使用した基本構造である。

【0122】

図34は、本発明の第3の実施形態に係る第1の例の半導体装置の断面図を示す。図34に示すように、第3の実施形態に係る第1の例の半導体装置は、SOI領域における埋め込み絶縁膜12aを比較的薄く形成することで、この埋め込み絶縁膜12aとして使用している絶縁膜を、バルク領域におけるゲート絶縁膜12bとして使用している。また、SOI領域におけるSOI層13aとして使用している層を、バルク領域におけるゲート電極54の下部電極層13bとして使用している。また、SOI領域におけるゲート電極として使用している電極層を、バルク領域におけるゲート電極54の上部電極53bとして使用している。

【0123】

そして、SOI領域におけるゲート電極53aとバルク領域におけるゲート電極54とは、ゲート電極53a, 54下の基板の高さは異なるが、ゲート電極53a, 54の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極54を2層構造にすることで、SOI領域とバルク領域のゲート電極下における基板の高さの差を埋めている。

【0124】

ここで、SOI層13aが例えば単結晶シリコン層で形成された場合、バルク領域のゲート電極54の一部の層（下部電極層13b）は、単結晶シリコン層で形成されることになる。

【0125】

図35乃至図36は、本発明の第3の実施形態に係る第1の例の半導体装置の製造工程の断面図を示す。以下に、第3の実施形態に係る第1の例の製造方法について説明する。

【0126】

まず、図35に示すように、支持基板11と埋め込み絶縁膜12とSOI層13とを有するSOIウエハが用意される。次に、SOI層13の表面から支持基板11にまで貫通する素子分離領域50, 51, 52がそれぞれ形成される。これにより、SOI領域においては、埋め込み絶縁膜12a及びSOI層13aが形成される。また、バルク領域においては、埋め込み絶縁膜12bからなるゲート絶縁膜12bが形成されるとともに、SOI層13からなるゲート電極用の下部電極層13bが形成される。

【0127】

次に、図36に示すように、SOI領域において、SOI層13a上にゲート絶縁膜20が形成される。その後、全面に電極材53が形成される。

【0128】

次に、図34に示すように、電極材53及び下部電極層13bが一括加工される。これにより、SOI領域においては、電極材53からなるゲート電極53aが形成され、バルク領域においては、下部電極層13bと電極材53からなる上部電極層53bとからなる2層構造のゲート電極54が形成される。

【0129】

上記第3の実施形態に係る第1の例によれば、次のような効果を得ることができる。

【0130】

(1) 第3の実施形態に係る第1の例では、バルク領域で選択エピタキシャル成長を行わないため、エピタキシャル成長時のマスク材をSOI層13の側面に設ける必要がない。従って、マスク材を除去することによる窪み160も生じないため、窪み160を無くすための大きな素子分離領域を形成する必要がない。従って、SOI領域とバルク領域との境界部における素子分離領域51のスペースを縮小することができる。

【0131】

(2) 従来技術では、エピタキシャル成長時に、選択成長の膜厚のばらつきによりSOI層13とエピタキシャル層17と間の段差が生じる恐れがあり、この段差が残った状態でゲート電極を形成すると、SOI領域とバルク領域で同じ高

さのゲート電極を形成することができない。

【0132】

これに対し、第3の実施形態に係る第1の例では、バルク領域で選択エピタキシャル成長を行わないため、SOI領域とバルク領域間に段差が生じるが、バルク領域のゲート電極54を2層構造にすることで、この段差を解消することができる。このため、SOI領域とバルク領域で同じ高さのゲート電極53a, 54を形成することができる。

【0133】

(3) 第3の実施形態に係る第1の例では、SOI領域において、埋め込み絶縁膜12a、SOI層13a及びゲート電極53aとして使用した材料層を、バルク領域では、ゲート絶縁膜12b、ゲート電極54の下部電極層13b及び上部電極層53bの材料層としてそれぞれ使用している。従って、バルク領域における素子を形成するにあたり、新たな工程を設ける必要がないため、プロセスが容易となる。

【0134】

(4) 第3の実施形態に係る第1の例では、SOI領域の埋め込み絶縁膜12aをバルク領域のゲート絶縁膜12bとして使用し、SOI領域のSOI層13aをバルク領域のゲート電極（下部電極層13b）として使用している。ここで、本実施形態におけるSOI層13が単結晶シリコンで形成された場合、従来の多結晶シリコンで形成された場合のグレインが無いため、本実施形態ではグレインに関わる不具合を回避することができる。例えば、一様な膜厚のゲート絶縁膜を形成することが可能となり、微視的な耐圧の劣化がなく、より薄膜化が可能となる。また、単結晶シリコンからなるゲート電極は、多結晶シリコンからなるゲート電極よりも、配線の低抵抗化を図ることができる。

【0135】

[3-2] 第2の例

第3の実施形態に係る第2の例は、上記第1の例において、バルク領域にEEPROMを追加したものである。

【0136】

図37は、本発明の第3の実施形態に係る第2の例の半導体装置の断面図を示す。図37に示すように、第3の実施形態に係る第2の例の半導体装置は、SOI領域には1層構造のゲート電極53aを形成し、バルク領域には2層構造のゲート電極54とEEPROMのゲート電極56とを形成している。

【0137】

ここで、バルク領域のEEPROMにおいて、ゲート絶縁膜12cは埋め込み絶縁膜12a及びゲート絶縁膜12bと同じ膜12で形成され、フローティングゲートとして機能する下部電極層13cはSOI層13a及び下部電極層13bと同じ層13で形成され、絶縁膜20bはゲート絶縁膜20aと同じ膜20で形成され、コントロールゲートとして機能する上部電極層53cはゲート電極53a及び上部電極層53bと同じ層53で形成されている。

【0138】

そして、SOI領域におけるゲート電極53aとバルク領域におけるゲート電極54, 56とは、ゲート電極53aとゲート電極54, 56下の基板の高さは異なるが、ゲート電極53a, 54, 56の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極54, 56を2層構造にすることで、SOI領域とバルク領域のゲート電極下における基板の高さの差を埋めている。

【0139】

上記第3の実施形態に係る第2の例によれば、第3の実施形態に係る第1の例と同様の効果を得ることができる。

【0140】

さらに、バルク領域にEEPROMを形成する場合、ゲート絶縁膜12c、下部電極層13c、絶縁膜20b及び上部電極層53cは、埋め込み絶縁膜12a、SOI層13a、ゲート絶縁膜20a、ゲート電極53aと同じ層を利用して、それぞれ形成する。このため、バルク領域のEEPROMを形成する新たな工程を設ける必要がないためプロセスが容易となる。

【0141】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、例えば以下のように、種々に変形することが可能

である。

【0142】

(1) バルク領域における埋め込み絶縁膜12の最終的な除去方法は、ウエットエッティングに限定されない。例えば、RIEで埋め込み絶縁膜12を除去した後、支持基板11に生じたダメージ層をさらに除去するような方法にしてもよい。

【0143】

(2) SOI層13が後退して形成された隙間部15は、第2のマスク材16で埋め込んでいるが、この第2のマスク材16で埋め込む工程を省略することも可能である。

【0144】

この場合、エピタキシャル層17の形成時に、SOI層13の後退した側面からもエピタキシャル成長がなされる可能性があるが、SOI層13の側面の後退量（隙間部15の幅）を大きくすることで、SOI層13とエピタキシャル層17とが接続されないように制御することも可能である。

【0145】

さらに、レジストプロセスを用いて前記後退量の異なる領域を形成し、この後退量の大小のみで、第1の実施形態における第2の例で説明したような絶縁領域と導通領域とを作り分けることも可能である。

【0146】

また、隙間部15を埋め込まないことで、絶縁領域の境界付近の埋め込み絶縁膜12上に、SOI層13の膜厚分の段差が存在することになるが、この点はSOI層13が十分に薄膜であれば問題とならない。

【0147】

(3) 隙間部15は、次のように形成することも可能である。まず、図38に示すように、第1のマスク材14がRIEでパターニングされる。次に、SOI層13が等方性エッティングを用いて除去され、隙間部15が形成される。この際、等方性エッティングとしては、例えば、CDEによるドライエッティングや、KOH溶液によるウエットエッティング等が用いられる。従って、この場合、SOI層

13の側面に順テーパー面62が形成されるため、素子形成に膜残り等の支障を来す心配がさらになくなる。そして、隙間部15が形成された後に、バルク領域の埋め込み絶縁膜12が、RIE及びウエットエッティングでエッティングされる。その後、上述したような隙間部15を埋め込まないプロセスを経た場合、図39又は図40のような構造が完成する。

【0148】

ここで、図39は、エピタキシャル層17にファセットが生じなかった場合の構造を示し、図40は、エピタキシャル層17にファセット26が生じた場合の構造を示す。

【0149】

尚、上記のようにSOI層13の側面に順テーパー面62を形成した場合、隙間部15を第2のマスク材16で埋め込んでも構わない。

【0150】

(4) 素子分離領域16aの形成は、バルク領域のSOI層13及び埋め込み絶縁膜12を除去した後に行なったが、これに限定されない。例えば、素子分離領域16aを少なくともSOI領域とバルク領域との境界部に形成した後に、バルク領域のSOI層13及び埋め込み絶縁膜12を除去し、その後、エピタキシャル成長を行うようにしても構わない。

【0151】

(5) SOI層13、埋め込み絶縁膜12、支持基板11、マスク材14, 16、エピタキシャル層17における材質や結晶性に関して、デバイス形成に適用される種々のものを適用することが可能である。

【0152】

(6) 素子分離領域16aの上面は、SOI層13及びエピタキシャル層17の上面とほぼ等しい高さであることに限定されず、SOI層13及びエピタキシャル層17の上面よりも多少高くなったり多少低くなったりする場合もあり得る。例えば、素子分離領域16aが酸化膜の場合、酸化膜の除去処理によって、素子分離領域16aの上面がSOI層13及びエピタキシャル層17の上面よりも低くなる場合もあり得る。また、素子分離領域16aが窒化膜の場合、酸化や酸

化膜の除去処理によって素子分離領域16aの上面の高さは変わらないが、酸化や酸化膜の除去処理によってSOI層13及びエピタキシャル層17の上面が低くなるため、結果として、素子分離領域16aの上面がSOI層13及びエピタキシャル層17の上面よりも高くなる場合もあり得る。

【0153】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0154】

【発明の効果】

以上説明したように本発明によれば、SOI領域とバルク領域との境界部における素子分離領域のスペースを縮小することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わる第1の例の半導体装置を示す断面図。

【図2】 本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図3】 図2に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図4】 図3に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図5】 図4に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図6】 図5に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図7】 図6に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図8】 図7に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図9】 本発明の第1の実施形態に係わる第2の例の半導体装置を示す断面図。

【図10】 本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図11】 図10に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図12】 図11に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図13】 図12に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図14】 図13に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図15】 図14に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図16】 本発明の第1の実施形態に係わる第3の例の半導体装置を示す断面図。

【図17】 本発明の第1の実施形態に係わる第3の例の半導体装置の製造工程を示す断面図。

【図18】 図17に続く、本発明の第1の実施形態に係わる第3の例の半導体装置の製造工程を示す断面図。

【図19】 本発明の第1の実施形態に係わる第4の例の半導体装置を示す断面図。

【図20】 本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図21】 図20に続く、本発明の第1の実施形態に係わる第4の例の半

導体装置の製造工程を示す断面図。

【図22】 図21に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図23】 図22に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図24】 図23に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図25】 図24に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図26】 本発明の第1の実施形態に係わる第4の例の他の半導体装置を示す断面図。

【図27】 本発明の第2の実施形態に係わる第1の例の半導体装置を示す断面図。

【図28】 本発明の第2の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図29】 図28に続く、本発明の第2の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図30】 図29に続く、本発明の第2の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図31】 図30に続く、本発明の第2の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図32】 図31に続く、本発明の第2の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図33】 本発明の第2の実施形態に係わる第2の例の半導体装置を示す断面図。

【図34】 本発明の第3の実施形態に係わる第1の例の半導体装置を示す断面図。

【図35】 本発明の第3の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図36】 図35に続く、本発明の第3の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図37】 本発明の第3の実施形態に係わる第2の例の半導体装置を示す断面図。

【図38】 本発明の各実施形態に係わる順テーパーが形成された半導体装置を示す断面図。

【図39】 本発明の各実施形態に係わる順テーパーが形成された半導体装置を示す断面図。

【図40】 本発明の各実施形態に係わる順テーパーとファセットとが形成された半導体装置を示す断面図。

【図41】 従来技術による半導体装置の製造工程を示す断面図。

【図42】 図41に続く、従来技術による半導体装置の製造工程を示す断面図。

【図43】 図42に続く、従来技術による半導体装置の製造工程を示す断面図。

【図44】 図43に続く、従来技術による半導体装置の製造工程を示す断面図。

【図45】 図44に続く、従来技術による半導体装置の製造工程を示す断面図。

【図46】 図45に続く、従来技術による半導体装置の製造工程を示す断面図。

【図47】 図46に続く、従来技術による半導体装置の製造工程を示す断面図。

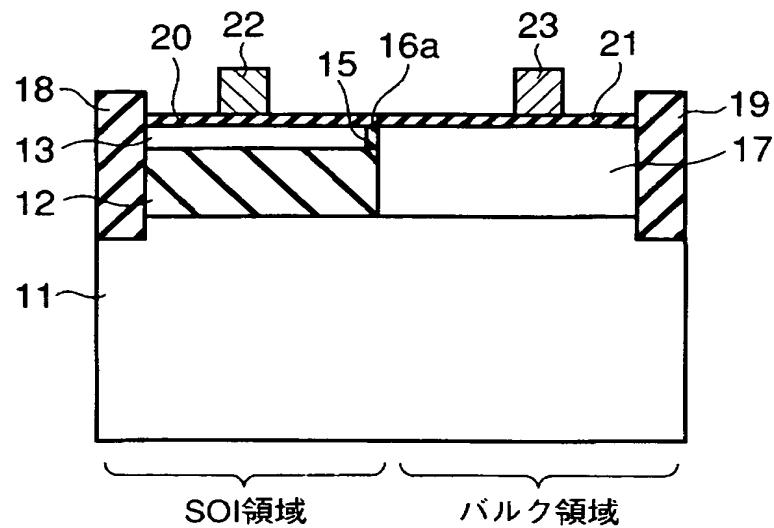
【符号の説明】

1 1…支持基板、1 2, 1 2', 1 2 a…埋め込み絶縁膜、1 3, 1 3 a…S
O I層、1 4…第1のマスク材、1 5, 3 5…隙間部、1 6…第2のマスク材、
1 6 a, 1 8, 1 9, 3 0, 4 0, 4 1, 4 2, 5 0, 5 1, 5 2, 5 5…素子
分離領域、1 7…エピタキシャル層、1 2 b, 1 2 c, 2 0, 2 1…ゲート絶縁
膜、2 2, 2 3, 3 1, 4 5, 4 6, 5 3 a, 5 4, 5 6…ゲート電極、2 5…

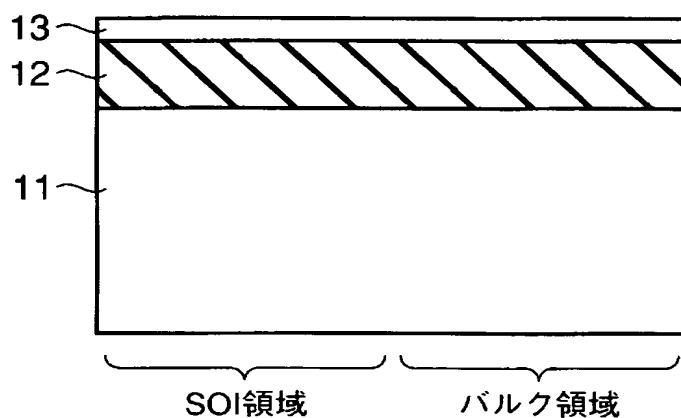
レジスト、26…ファセット、43, 44, 53…電極材、13b, 13c, 43a, 43b…下部電極層、44a, 44b, 53b, 53c…上部電極層、20b, 47…絶縁膜、48, 49…凹部、62…順テープ一面。

【書類名】 図面

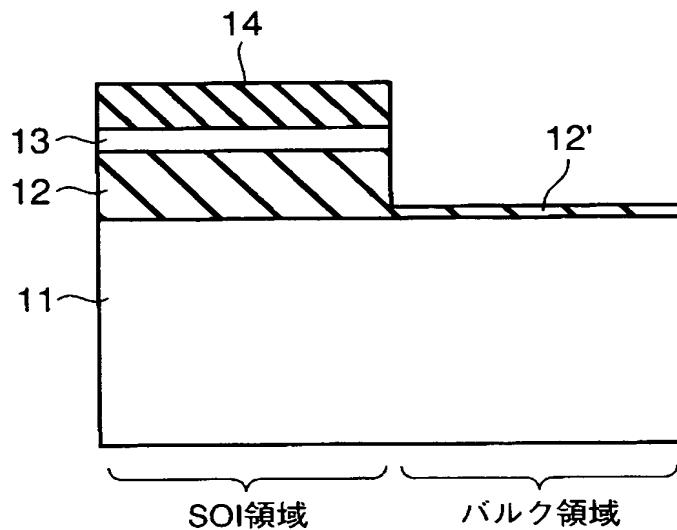
【図 1】



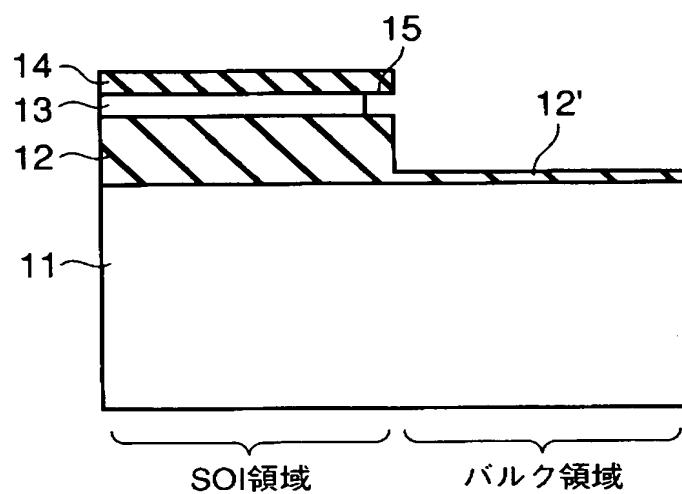
【図 2】



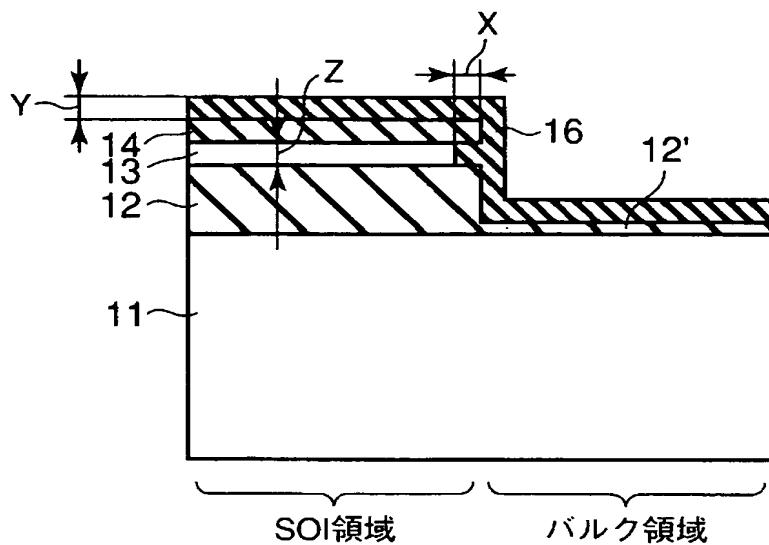
【図3】



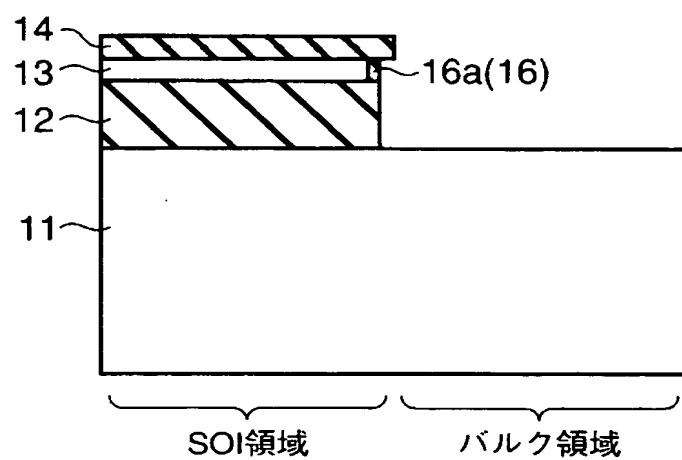
【図4】



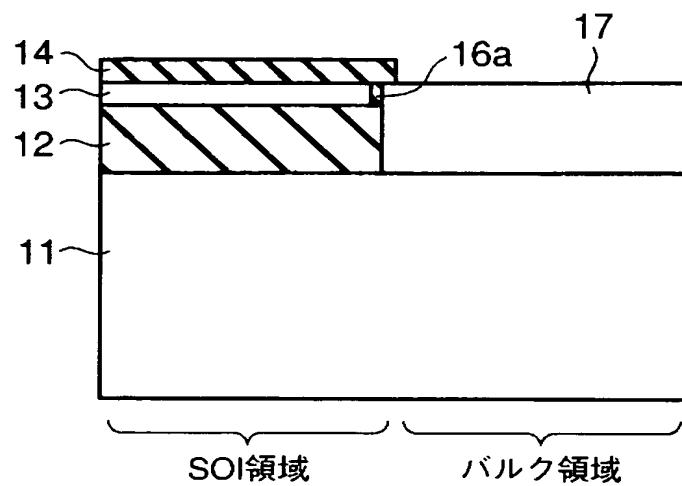
【図 5】



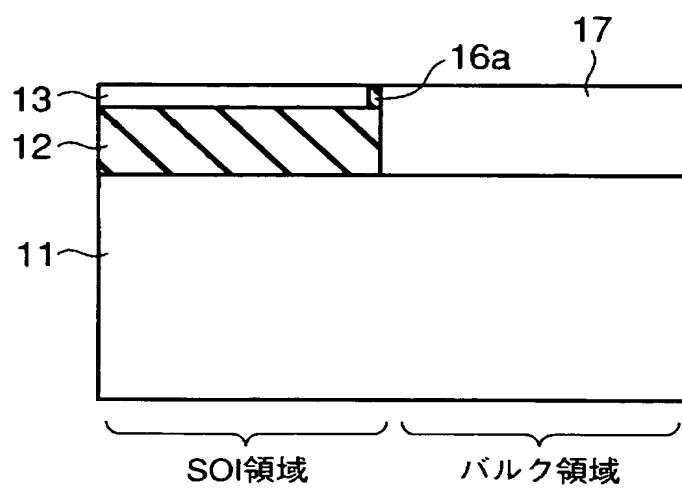
【図 6】



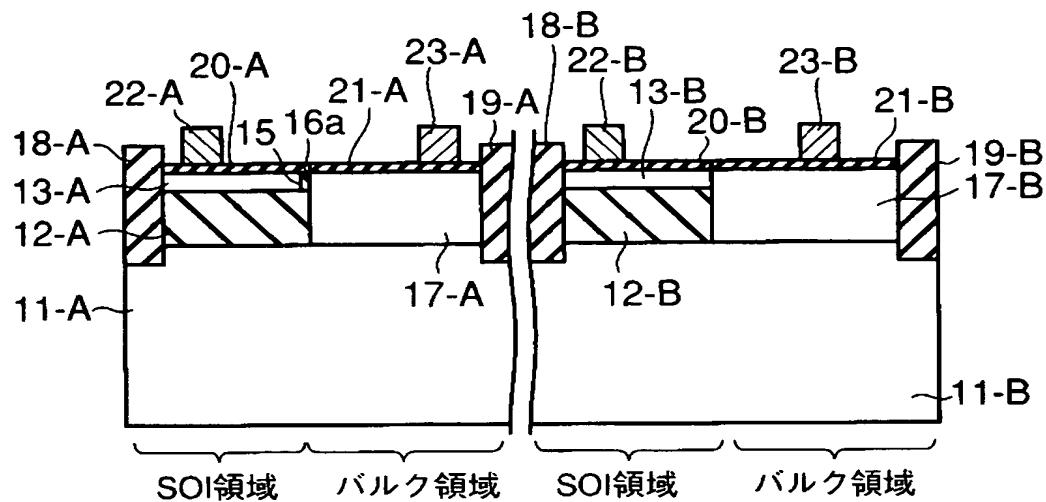
【図 7】



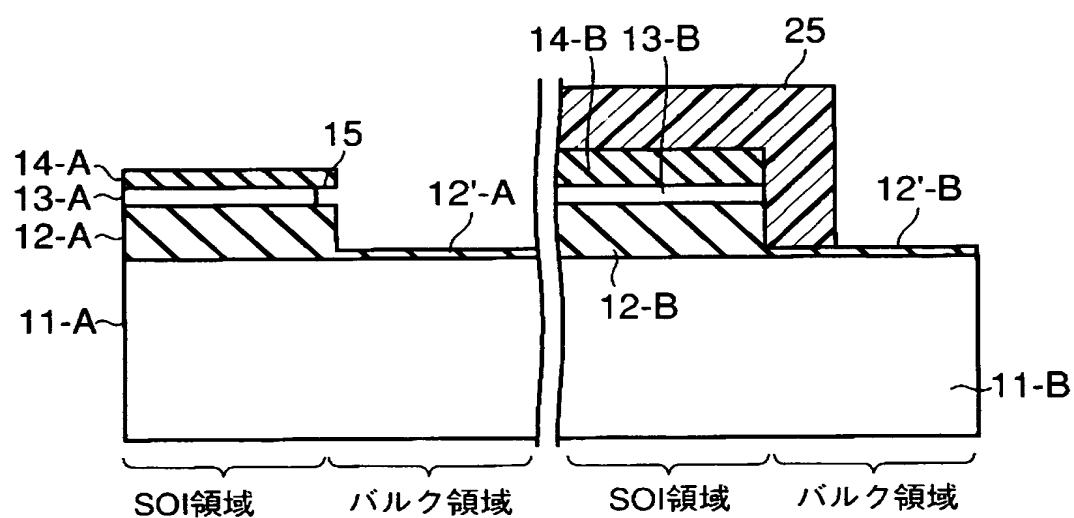
【図 8】



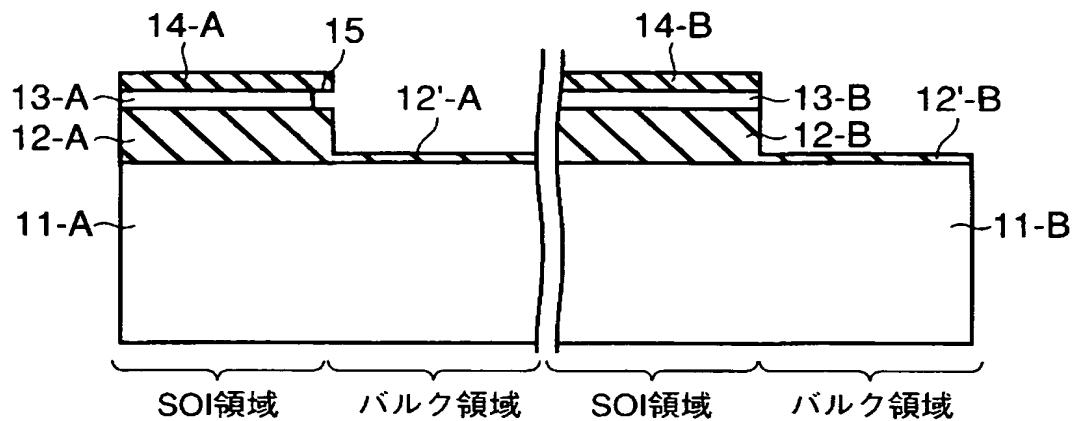
【図9】



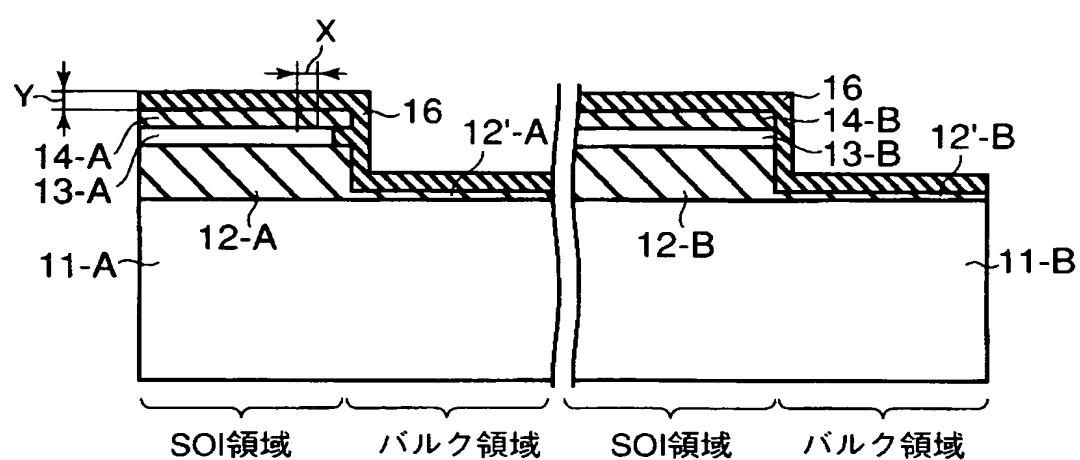
【図10】



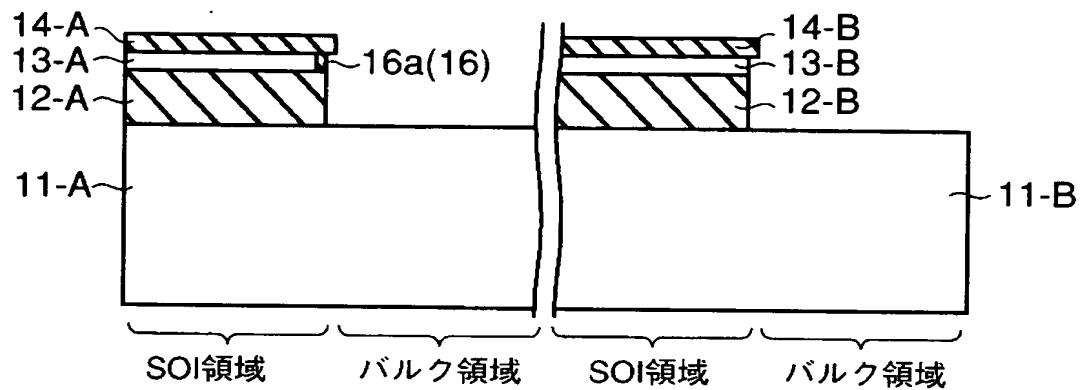
【図 1 1】



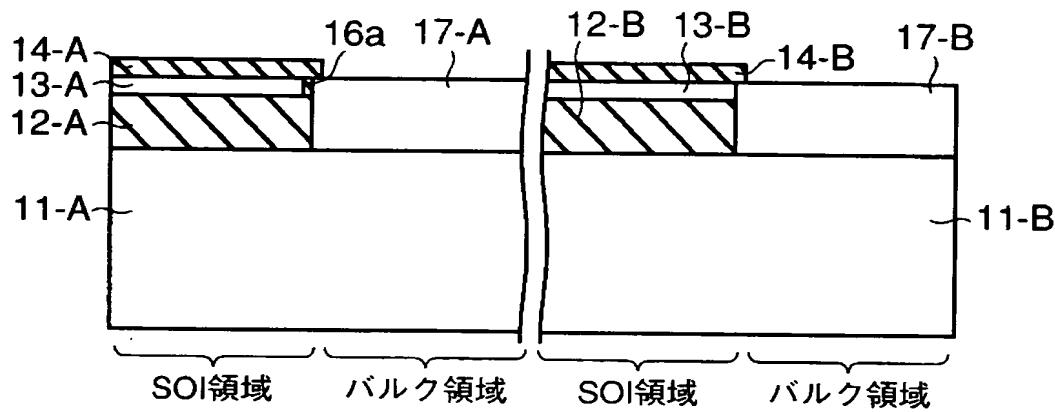
【図 1 2】



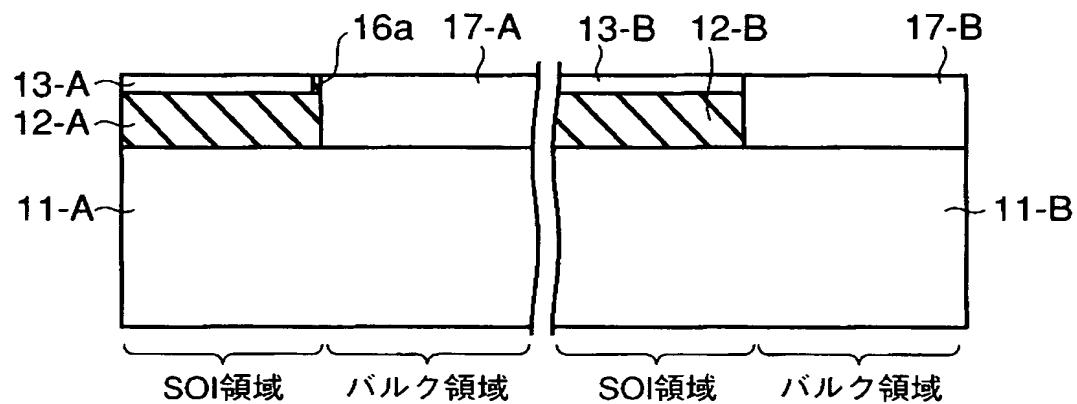
【図13】



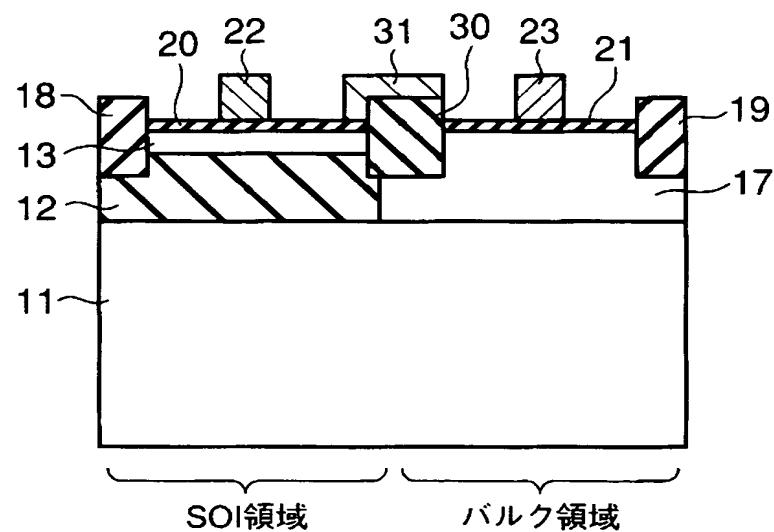
【図14】



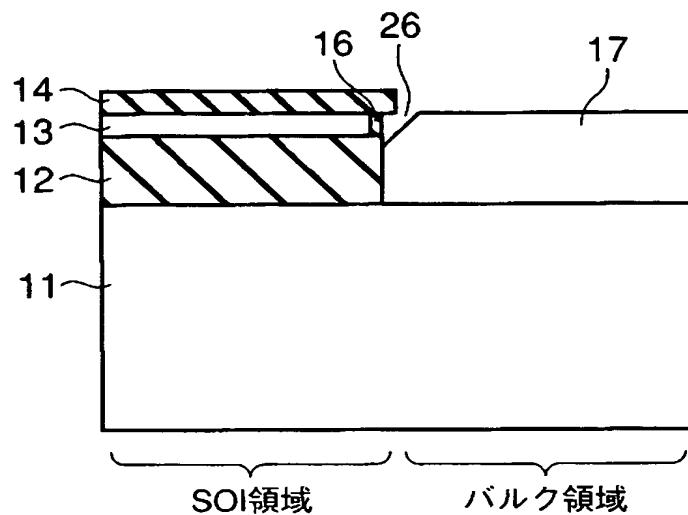
【図15】



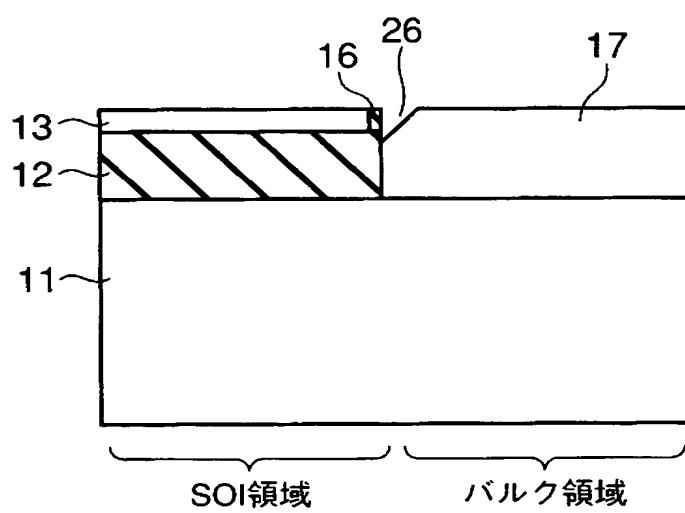
【図16】



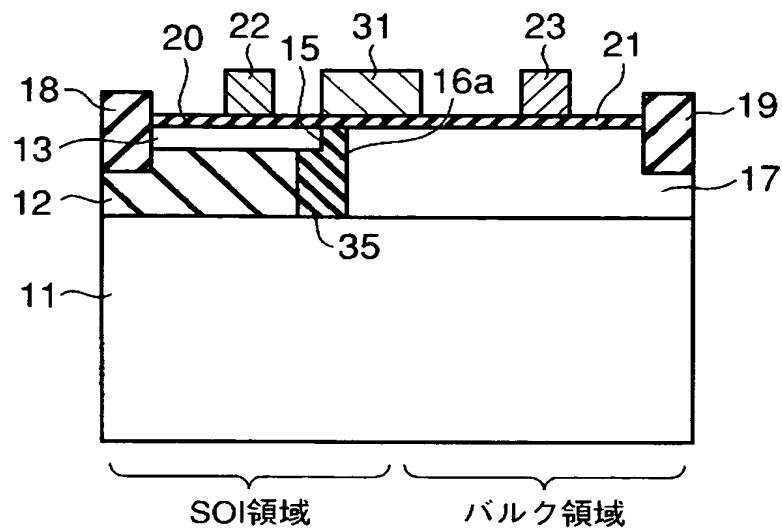
【図17】



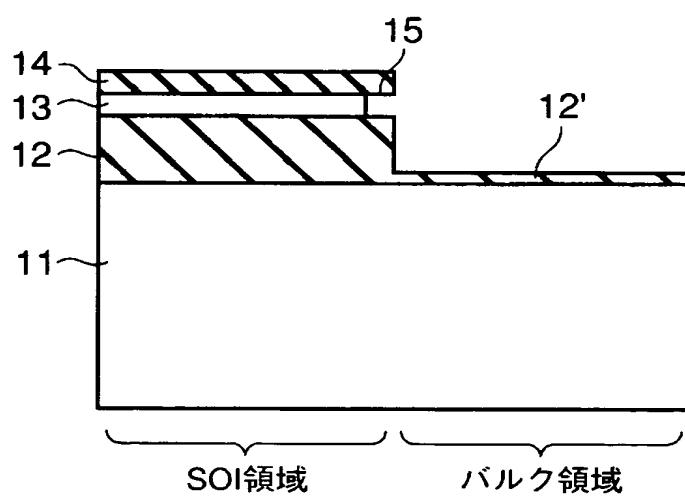
【図18】



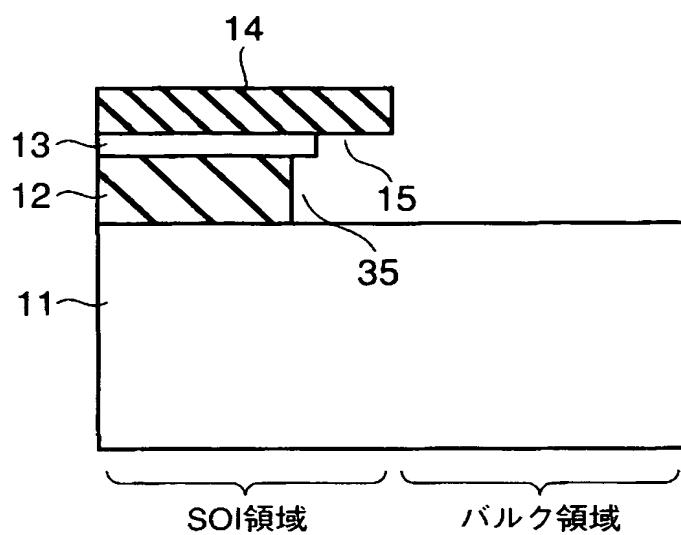
【図19】



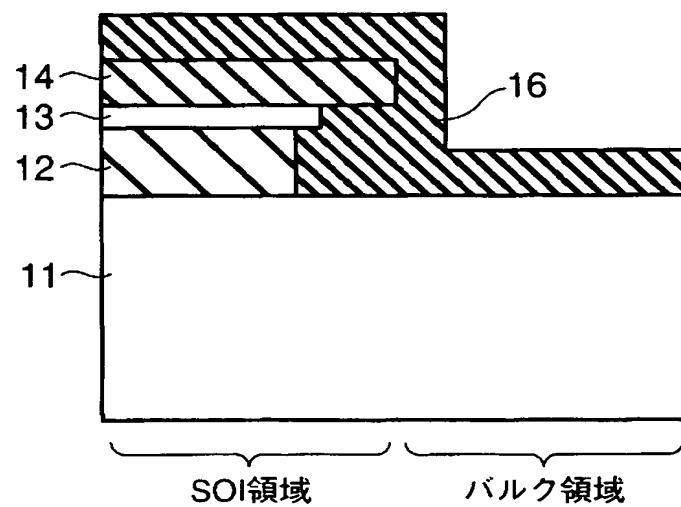
【図20】



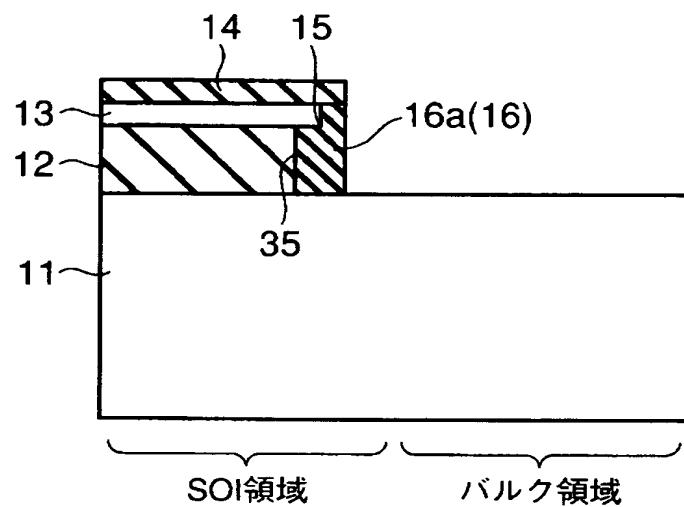
【図21】



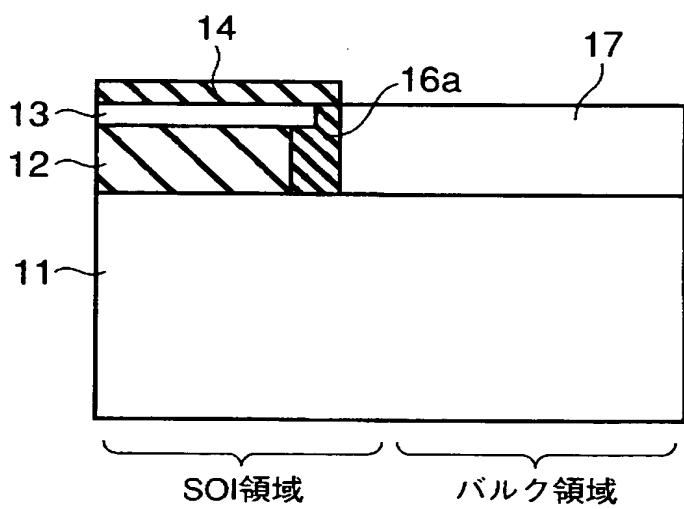
【図22】



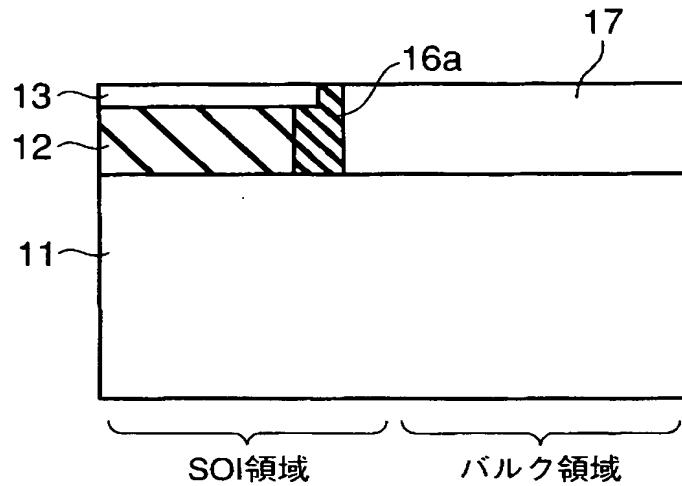
【図23】



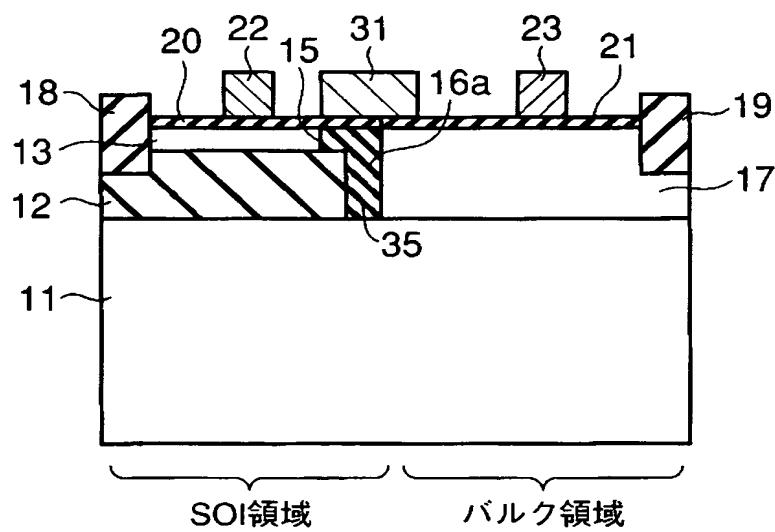
【図24】



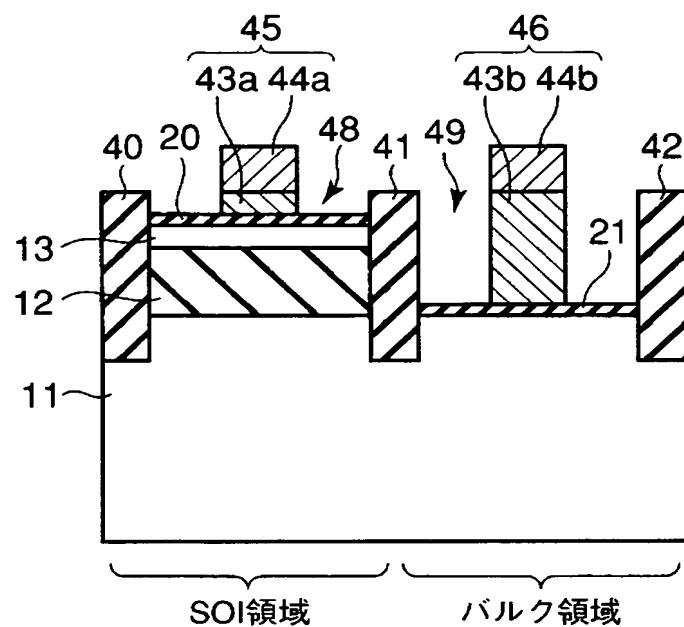
【図25】



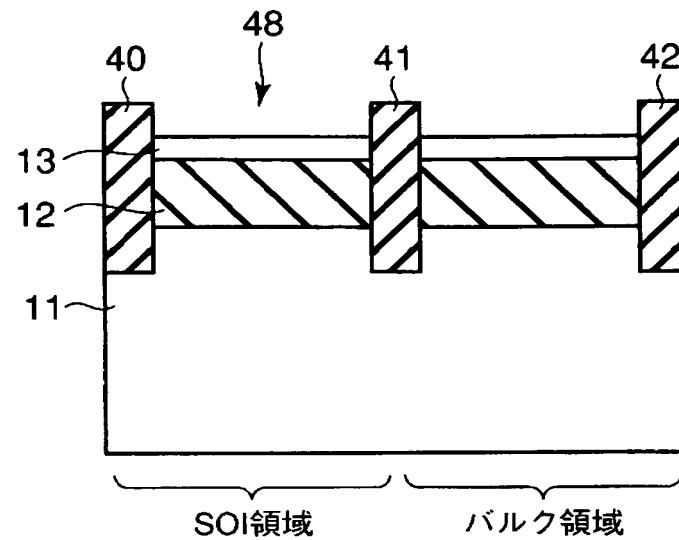
【図26】



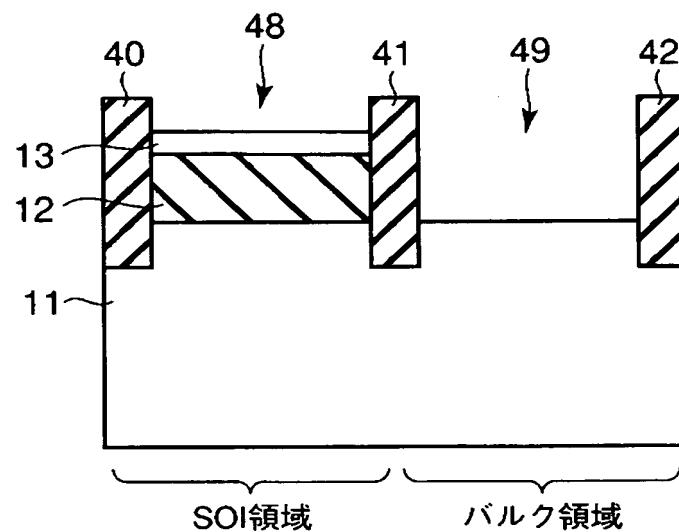
【図27】



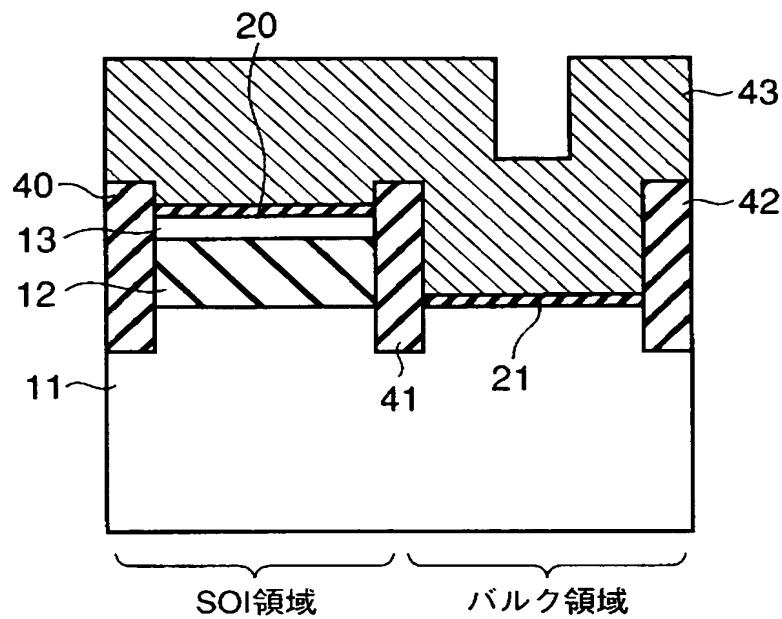
【図28】



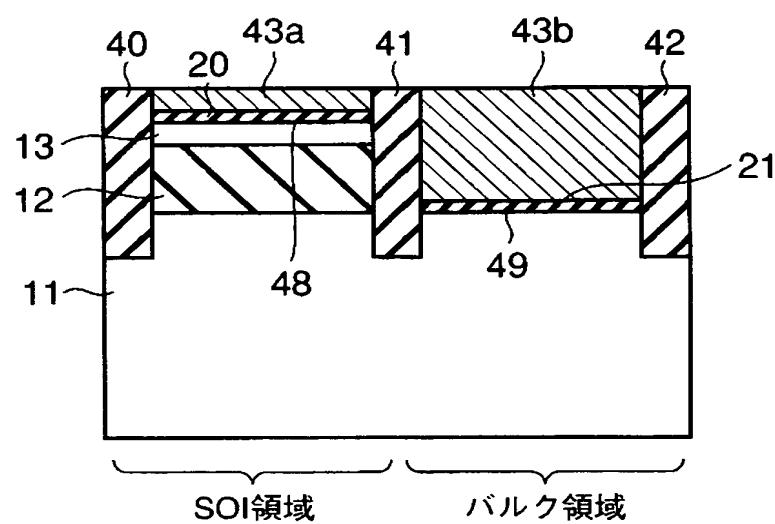
【図29】



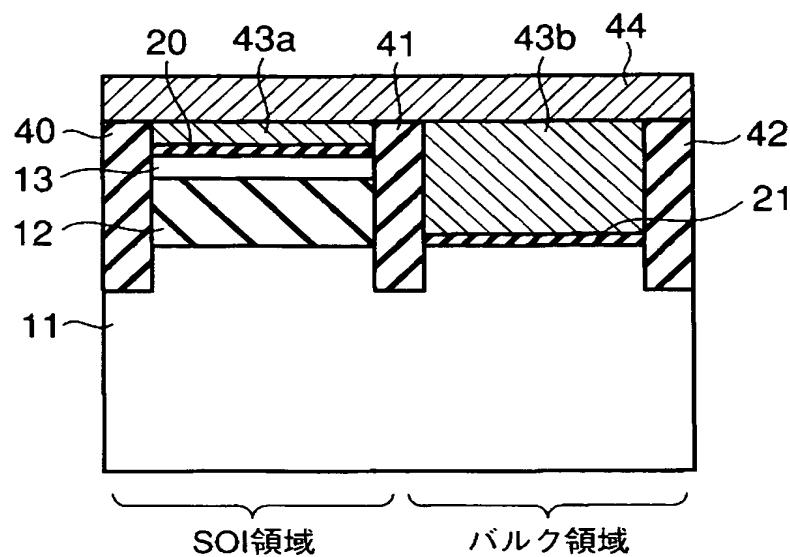
【図30】



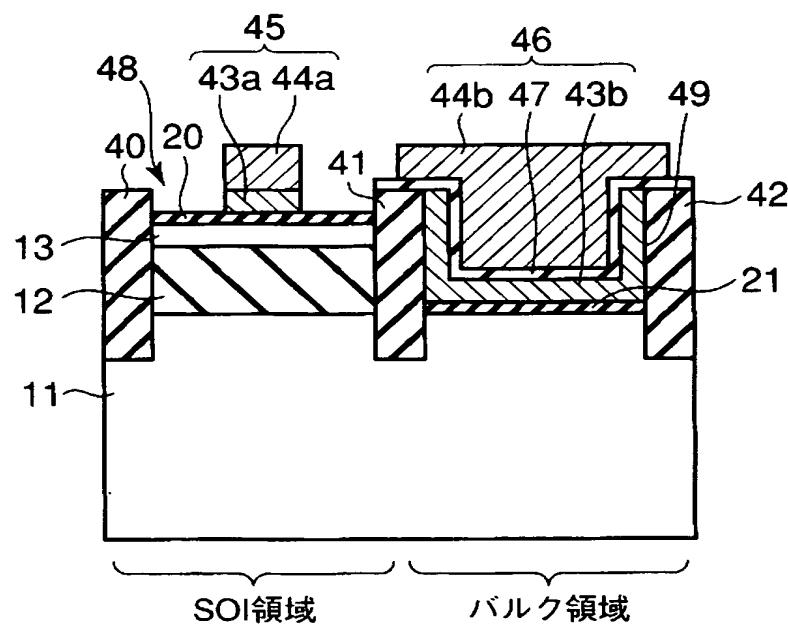
【図31】



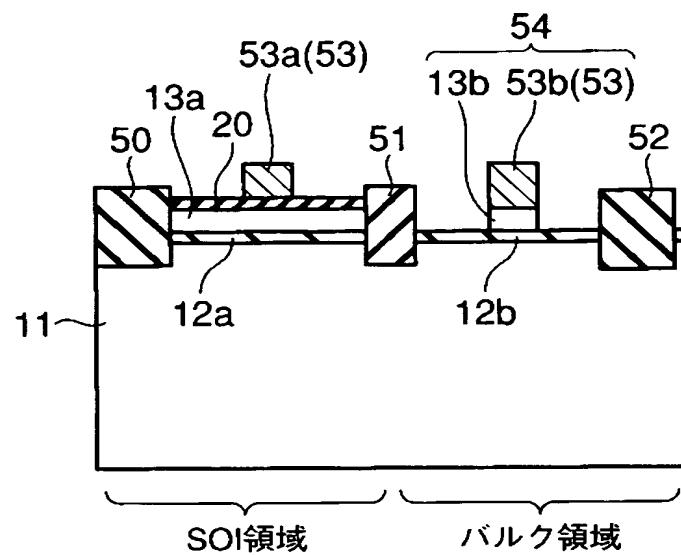
【図32】



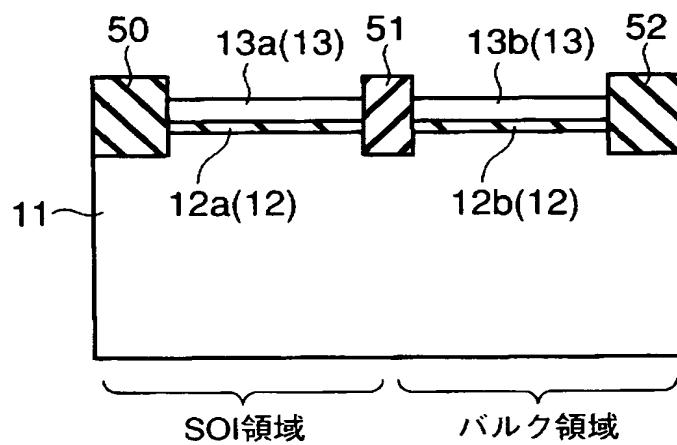
【図33】



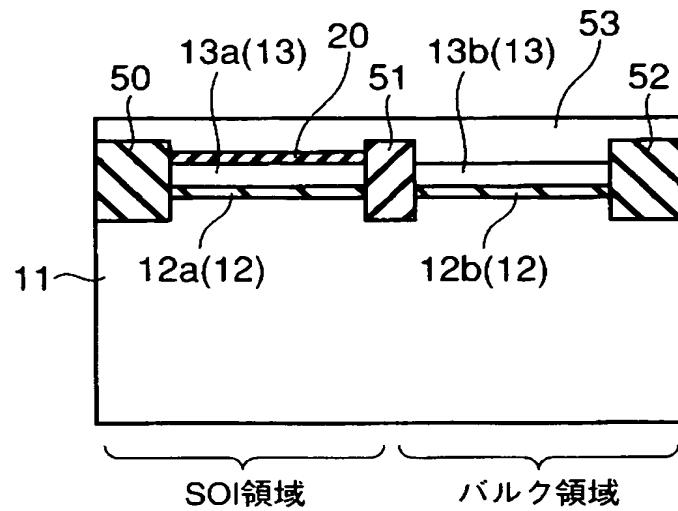
【図34】



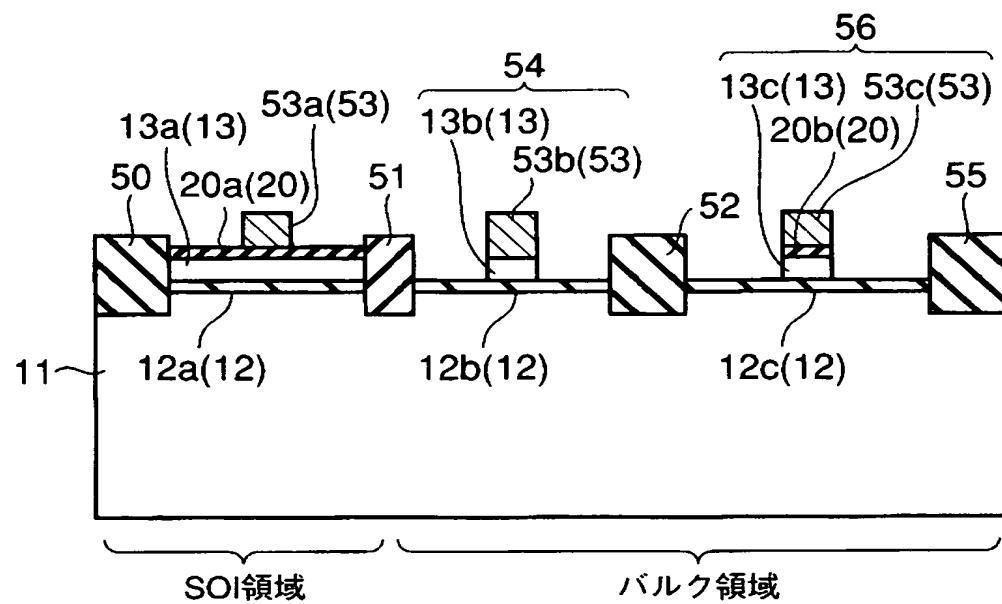
【図35】



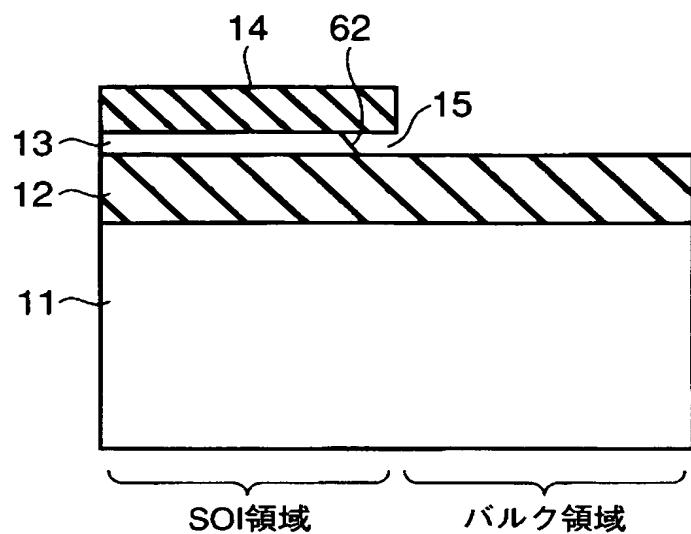
【図36】



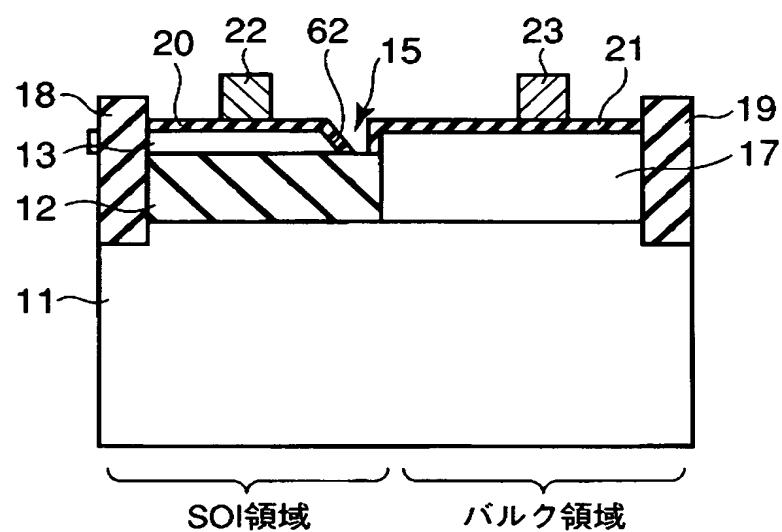
【図37】



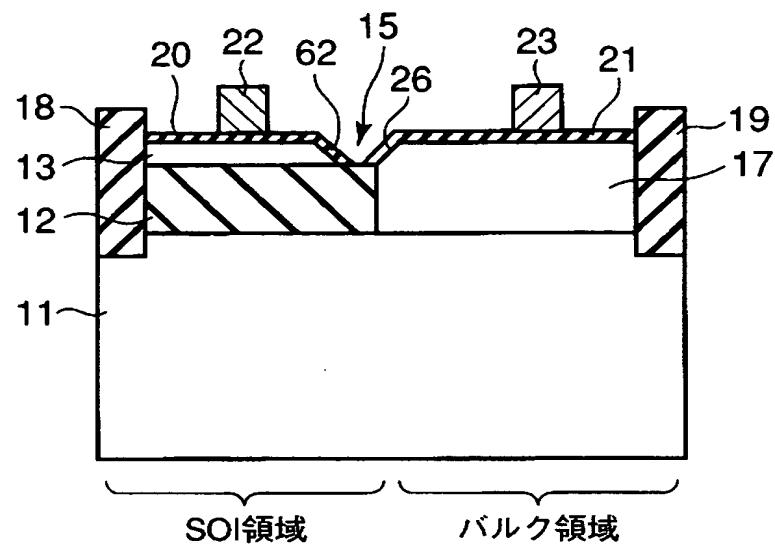
【図38】



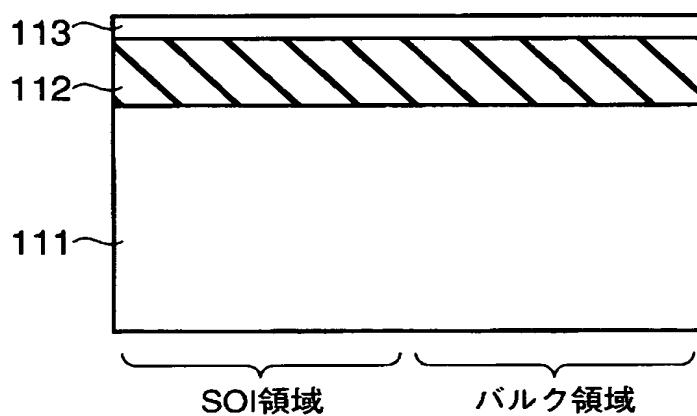
【図39】



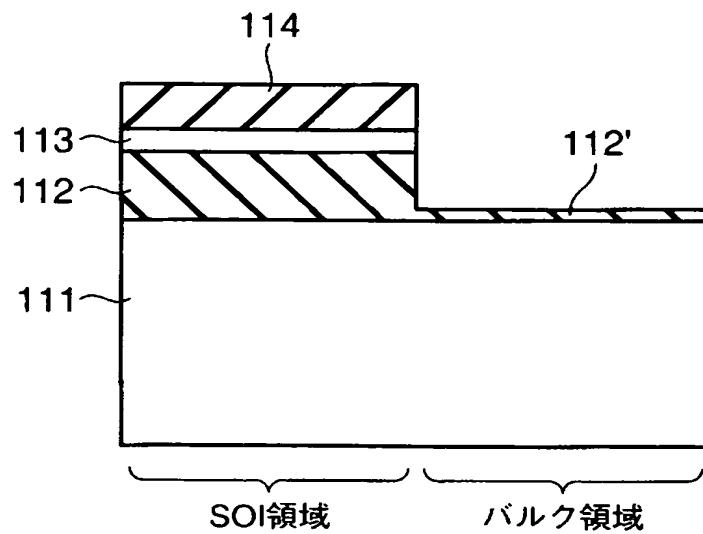
【図40】



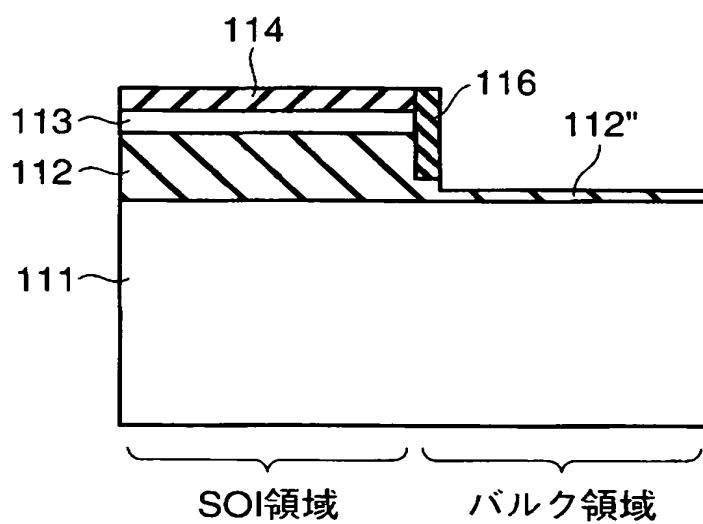
【図41】



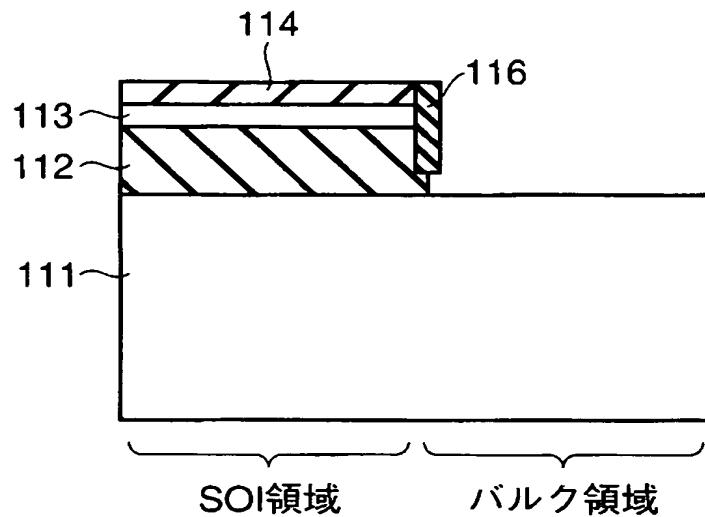
【図4 2】



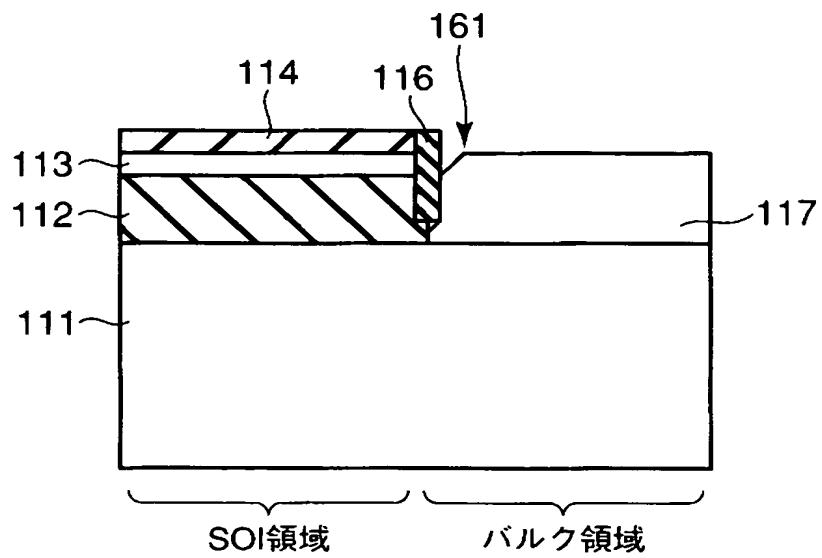
【図4 3】



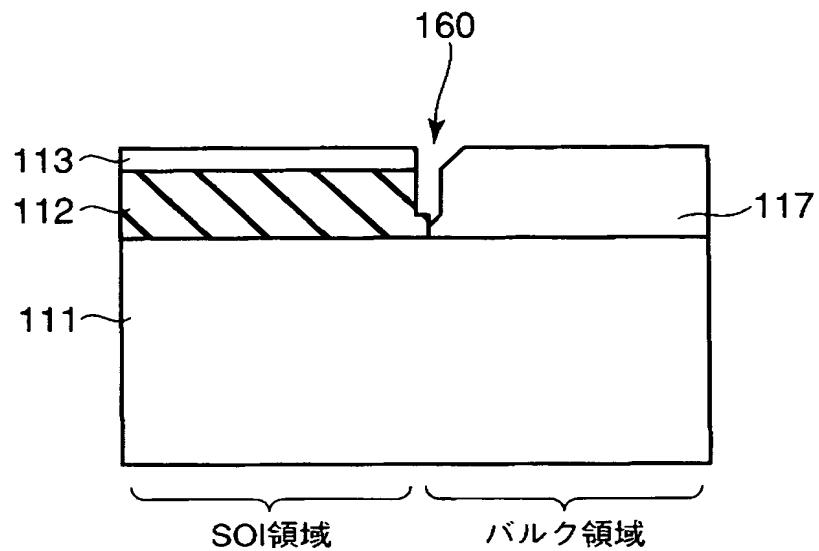
【図44】



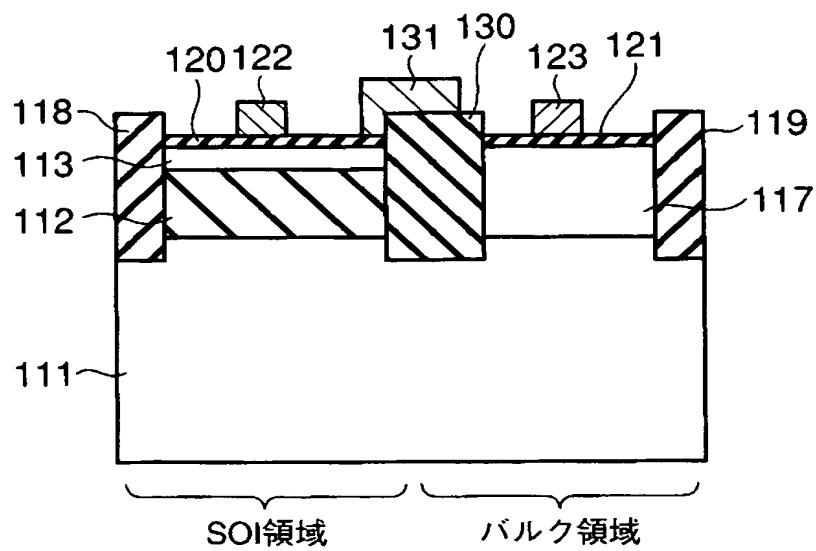
【図45】



【図46】



【図47】



【書類名】 要約書

【要約】

【課題】 S O I 領域とバルク領域との境界部における素子分離領域のスペースを縮小する。

【解決手段】 半導体装置は、S O I 領域とバルク領域とを有する基板11と、S O I 領域における基板11上に設けられた第1の絶縁膜12と、バルク領域における基板11上に設けられ、第1の絶縁膜12の上面よりも高い上面を有するエピタキシャル層17と、このエピタキシャル層17と隙間を有して第1の絶縁膜12上に設けられ、エピタキシャル層17の上面とほぼ等しい高さの上面を有する半導体層13と、前記隙間に設けられ、エピタキシャル層17の上面及び半導体層13の上面とほぼ等しい高さの上面を有する素子分離絶縁膜16aとを具備する。

【選択図】 図1

特願 2003-209311

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝